



Εργαστήριο Σχεδίασης Ψηφιακών Συστημάτων

2^ο Εργαστηριακό Μάθημα

Βασιλόπουλος Διονύσης

Ε.ΔΙ.Π. Τμήματος Πληροφορικής & Τηλεπικοινωνιών - ΕΚΠΑ

VHDL – Παράδειγμα

Άσκηση

Σχεδιάστε μία αριθμητική και λογική μονάδα (ALU). Στην είσοδο δέχεται 2 σήματα **μη προσημασμένων** αριθμών a και b , των 3 bit το καθένα, καθώς και ένα σήμα $Ctrl$ ενός bit. Η ALU για τιμή $Ctrl = '0'$ κάνει πρόσθεση ($a+b$) ενώ για τιμή $Ctrl = '1'$ κάνει διπλασιασμό του a ($a*2$). Στην έξοδο υπάρχει το σήμα $Result$ των 3 bit με το αποτέλεσμα της πράξης και ένα σήμα $Carry$ που έχει τιμή '1' σε περίπτωση που υπάρχει κρατούμενο/υπερχείλιση. Σχεδιάστε το κύκλωμα α) χωρίς τη χρήση process (dataflow architecture) και β) με τη χρήση process (behavioral architecture). Σας δίδεται ο ορισμός της οντότητας:

entity ALU is

Port (

a : in STD_LOGIC_VECTOR (3 downto 0);

b : in STD_LOGIC_VECTOR (3 downto 0);

Ctrl : in STD_LOGIC;

Result : out STD_LOGIC_VECTOR (3 downto 0);

Carry : out STD_LOGIC);

end entity ALU;