

ΕΘΝΙΚΟ ΚΑΙ ΚΑΠΟΔΙΣΤΡΙΑΚΟ ΠΑΝΕΠΙΣΤΗΜΙΟ ΑΘΗΝΩΝ
ΤΜΗΜΑ ΠΛΗΡΟΦΟΡΙΚΗΣ ΚΑΙ ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ



ΕΡΓΑΣΤΗΡΙΟ

ΣΧΕΔΙΑΣΗΣ ΨΗΦΙΑΚΩΝ ΣΥΣΤΗΜΑΤΩΝ - VHDL

11^ο Εργαστηριακό Μάθημα
4^ο Εργαστήριο

Βασιλόπουλος Διονύσης

ΧΕΙΜΕΡΙΝΟ ΕΞΑΜΗΝΟ
2024-2025

Άσκηση: Μετρητής

Στην άσκηση αυτή, θα δημιουργήσουμε ένα χρονόμετρο. Κάθε δευτερόλεπτο το χρονόμετρο θα αυξάνει ή θα μειώνεται ανάλογα με την τιμή του διακόπτη SW0. Αν SW0='1' τότε η ακολουθία θα είναι αύξουσα ενώ εάν SW0='0' τότε η χρονομέτρηση θα είναι αντίστροφη. Το αποτέλεσμα θα φαίνεται στα led (LD0-LD6) στο δυαδικό σύστημα αλλά και στο rmod. Αν η τιμή είναι στο 99 η επόμενη ανοδική είναι η 0 και το αντίστροφο. Με το SW7 θα μπορούμε να RESET (= '1') ασύγχρονο.

Χρησιμοποιήστε τον ορισμό της οντότητας που θα βρείτε στο eclass, ενώ μπορείτε/πρέπει να χρησιμοποιήσετε και τα αντίστοιχα αρχεία από το 3ο εργαστήριο. Επίσης τις διαφάνειες του κ.Πασχάλη για την VHDL.

Προσοχή ότι θα πρέπει να ανάβουν και τα 2 ψηφία του Pmod (ένα μπορεί να είναι αναμμένο κάθε χρονική στιγμή). Πρώτα εμφανίστε το αποτέλεσμα στα Led και κατόπιν στο Pmod.

Ως γενική κατεύθυνση μπορείτε να ακολουθήσετε αν θέλετε τα ακόλουθα:

1.Θα πρέπει να κρατάτε με κάποιο τρόπο τους «χτύπους» του ρολογιού. Επειδή η κάρτα δουλεύει στα 100Mhz, όταν οι «χτύποι» γίνουν 100εκ. θα έχει περάσει ένα δευτερόλεπτο και το χρονόμετρο θα αυξάνεται ή θα μειώνεται κατά 1. Άρα θέλετε να φτιάξετε ένα νέο ρολόι με περίοδο 1sec.

2.Θα πρέπει να βρείτε τις μονάδες και τις δεκάδες του χρονομέτρου και θα τις κρατάτε σε δύο διαφορετικά σήματα (έστω a και b).

3.Ανά 500K «χτύπους» ρολογιού θα εμφανίζεται το a στο ένα digit και μετά από άλλους 500K «χτύπους» το b στο άλλο digit του rmod. Θα πρέπει να αλλάζετε την τιμή digit_selection_out ανάλογα σε 0 και 1. Έτσι το μάτι δεν θα καταλαβαίνει την εναλλαγή (σβηστό/αναμμένο) σε κάθε digit και θα βλέπει και τα δύο αναμμένα.

Στο eclass θα σας δοθεί ένα template πηγαίου κώδικα με την περιγραφή του entity το αντίστοιχο testbench σε VHDL, καθώς και το αρχείο με τα pin constraints για το clock.

- Συμπληρώστε το architecture του entity
- Ελέγξτε τη λειτουργία του κυκλώματος τόσο στη προσομοίωση όσο και στο υλικό προγραμματίζοντας το FPGA
- Βρείτε την πιο αργή διαδρομή και την ταχύτητα λειτουργίας του κυκλώματός σας.
- Βρείτε τη διαδρομή που μπορεί να σας προκαλέσει πρόβλημα με βάση το χρόνο μόλυνσης και καταγράψτε το περιθώριο που έχετε.
- Συμπληρώστε τον παρακάτω πίνακα κοιτάζοντας το report μετά το implementation:

FF:	
LUT:	
I/O	