



Εργαστήριο Σχεδίασης Ψηφιακών Συστημάτων

3^ο Εργαστηριακό Μάθημα

Βασιλόπουλος Διονύσης

Ε.ΔΙ.Π. Τμήματος Πληροφορικής & Τηλεπικοινωνιών - ΕΚΠΑ

3^ο Εργαστηριακό μάθημα

Περιβάλλον Linux

USER=**guest**

PASSWORD=**linux!**

Για να εκτελεστεί το Vivado πρέπει να γράψετε τις ακόλουθες εντολές:
(υπάρχει και στο eclass, κάνετε copy/paste κάθε γραμμή χωριστά στο **terminal**)

```
source /opt/Xilinx/Vivado/2022.2/settings64.sh
```

```
cd $home
```

```
cd VIVADO-users/
```

```
mkdir sdi2400XXX
```

```
cd sdi2400XXX
```

```
vivado
```

← Όπου sdi2400XXX είναι ο AM σας

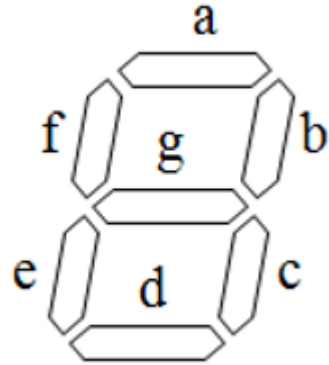
3^η Εργαστηριακή Άσκηση

Να σχεδιάσετε, να προσομοιώσετε και να υλοποιήσετε μία **Αριθμητική και Λογική Μονάδα (ALU)**, η οποία είτε θα προσθέτει δύο μη προσημασμένους αριθμούς (σήματα a και b) των 3 bit είτε θα διπλασιάζει το a. Το τι πράξη θα κάνει εξαρτάται από ένα σήμα ελέγχου (ctr) του ενός bit. Όταν η τιμή του είναι '1' τότε κάνει την πρόσθεση ενώ όταν είναι '0' τότε κάνει το διπλασιασμό του a. Το αποτέλεσμα αποθηκεύεται στο σήμα result των 4 bit (άρα δεν θα ασχοληθείτε με το θέμα του overflow/carry γιατί το αποτέλεσμα χωράει στα 4bit). Η είσοδος θα γίνεται με τους διακόπτες (SW0, SW1, SW2 για το σήμα a, τους διακόπτες SW3, SW4, SW5 για το σήμα b και το διακόπτη SW6 για το σήμα ctr) και η έξοδος θα εμφανίζεται τόσο στα led (LD0, LD1, LD2, LD3) όσο και στην κάρτα rmod. Για την επιλογή του ψηφίου στο rmod στο οποίο θα εμφανίσετε το αποτέλεσμα θα χρησιμοποιήσετε το διακόπτη SW7(digit_selection_in και digit_selection_out η είσοδος και η έξοδος αντίστοιχα τύπου std_logic).

ΠΡΟΣΟΧΗ ΣΤΟ Rmod στο ένα ψηφίο φτάνουμε έως το 9

3^η Εργαστηριακή Άσκηση

VHDL – 7 segment led



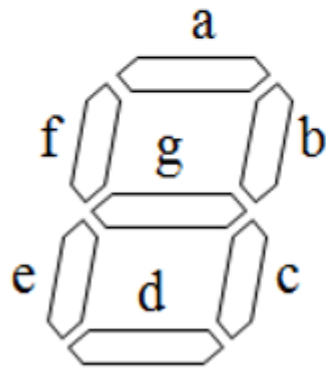
Αναπαράσταση με 7-bit
MSB->g - LSB->a










g-f-e-d-c-b-a

3^η Εργαστηριακή Άσκηση

VHDL – 7 segment led

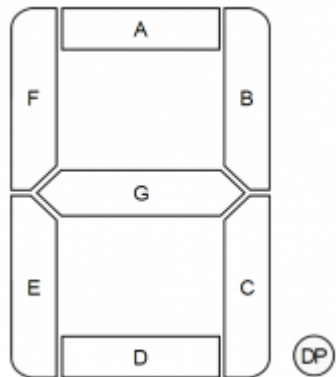
– Τμήματα: (g, f, e, d, c, b, a)



| | | | | |
|--|--|--|--|--|
|  |  |  |  |  |
| 0111111 | 0000110 | 1011011 | 1001111 | 1100110 |
|  |  |  |  |  |
| 1101101 | 1111101 | 0000111 | 1111111 | 1101111 |

3^η Εργαστηριακή Άσκηση

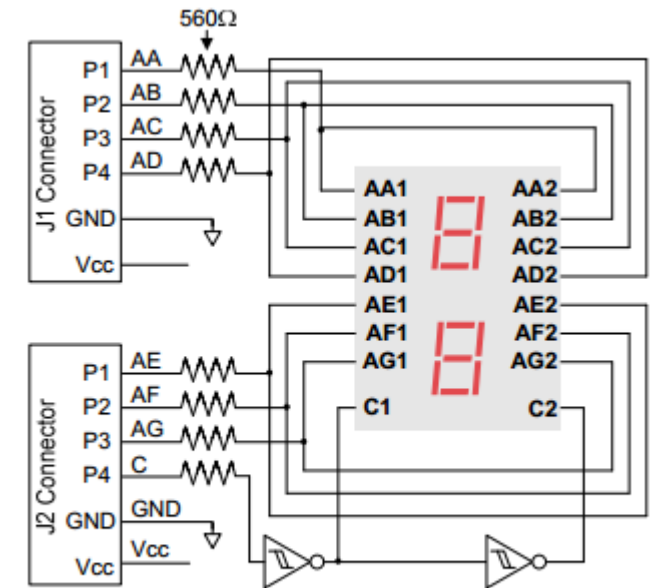
7 segment led - Pmod



Pinout Description Table

Pmod

| Header J1 | | | Header J2 | | |
|-----------|--------|-----------------------|-----------|--------|-----------------------|
| Pin | Signal | Description | Pin | Signal | Description |
| 1 | AA | Segment A | 1 | AE | Segment E |
| 2 | AB | Segment B | 2 | AF | Segment F |
| 3 | AC | Segment C | 3 | AG | Segment G |
| 4 | AD | Segment D | 4 | C | Digit Selection pin |
| 5 | GND | Power Supply Ground | 5 | GND | Power Supply Ground |
| 6 | VCC | Positive Power Supply | 6 | VCC | Positive Power Supply |



Seven-Segment Display Connection Diagram

ΜΟΝΟ ΤΟ ΈΝΑ ΑΠΌ ΤΑ 2 LED ΜΠΟΡΕΙ ΝΑ ΕΙΝΑΙ ΑΝΑΜΕΝΟ ΣΕ ΚΑΘΕ ΧΡΟΝΙΚΗ ΣΤΙΓΜΗ

Pmod: Peripheral Module interface

Εικόνες από το <https://reference.digilentinc.com/reference/pmod/pmodssd/reference-manual>

3^η Εργαστηριακή Άσκηση

7 segment led - Pmod

Table 16 - Pmod Connections

| Pmod | Signal Name | Zynq pin | Pmod | Signal Name | Zynq pin |
|------|-------------|----------|------|-------------|----------|
| JA1 | JA1 | Y11 | JB1 | JB1 | W12 |
| | JA2 | AA11 | | JB2 | W11 |
| | JA3 | Y10 | | JB3 | V10 |
| | JA4 | AA9 | | JB4 | W8 |
| | JA7 | AB11 | | JB7 | V12 |
| | JA8 | AB10 | | JB8 | W10 |
| | JA9 | AB9 | | JB9 | V9 |
| | JA10 | AA8 | | JB10 | V8 |

Θα βρείτε σε ποια signal της FPGA αντιστοιχούν τα signal του Pmod.
Κατόπιν θα βρείτε σε ποια pin της FPGA αντιστοιχούν τα signal του Pmod.

3^η Εργαστηριακή Άσκηση

ΠΡΟΧΩΡΗΣΤΕ ΣΤΗΝ ΑΣΚΗΣΗ



3^η Εργαστηριακή Άσκηση

Αρχιτεκτονική

```
result_temp<=unsigned('0'&a)+ unsigned('0'&b) when ctr='1' else  
    unsigned(a&'0') when ctr='0' else  
    (others=>'0');
```

Αρχιτεκτονική



```
result<=std_logic_vector(result_temp);
```

```
with result_temp select  
seven_segment<="0111111" when "0000", --0  
    "0000110" when "0001", --1  
    "1011011" when "0010", --2  
    "1001111" when "0011", --3  
    "1100110" when "0100", --4  
    "1101101" when "0101", --5  
    "1111101" when "0110", --6  
    "0000111" when "0111", --7  
    "1111111" when "1000", --8  
    "1101111" when "1001", --9  
    "1000000" when others;
```

```
digit_selection_out<=digit_selection_in;
```

Εργαστήριο Σχεδίαση Ψηφιακών Συστημάτων 2024-25 Δ.Βασιλόπουλος

3^η Εργαστηριακή Άσκηση

Constraints (1/2) – Switches + Leds

```
#####  
# On-board Slide Switches #  
#####  
  
set_property -dict { PACKAGE_PIN M15  IOSTANDARD LVCMOS33 } [get_ports { digit_selection_in }];  
set_property -dict { PACKAGE_PIN H17  IOSTANDARD LVCMOS33 } [get_ports { ctr }];  
set_property -dict { PACKAGE_PIN H18  IOSTANDARD LVCMOS33 } [get_ports { b[1] }];  
set_property -dict { PACKAGE_PIN H19  IOSTANDARD LVCMOS33 } [get_ports { b[1] }];  
set_property -dict { PACKAGE_PIN F21  IOSTANDARD LVCMOS33 } [get_ports { b[0] }];  
set_property -dict { PACKAGE_PIN H22  IOSTANDARD LVCMOS33 } [get_ports { a[2] }];  
set_property -dict { PACKAGE_PIN G22  IOSTANDARD LVCMOS33 } [get_ports { a[1] }];  
set_property -dict { PACKAGE_PIN F22  IOSTANDARD LVCMOS33 } [get_ports { a[0] }];  
  
#####  
# On-board Leds #  
#####  
  
set_property -dict { PACKAGE_PIN U21  IOSTANDARD LVCMOS33 } [get_ports { result[3] }];  
set_property -dict { PACKAGE_PIN U22  IOSTANDARD LVCMOS33 } [get_ports { result[2] }];  
set_property -dict { PACKAGE_PIN T21  IOSTANDARD LVCMOS33 } [get_ports { result[1] }];  
set_property -dict { PACKAGE_PIN T22  IOSTANDARD LVCMOS33 } [get_ports { result[0] }];
```

Constraints →

3^η Εργαστηριακή Άσκηση

Constraints (1/2) – Pmod

```
#####  
# PmodSSO                #  
#####
```

```
set_property -dict { PACKAGE_PIN Y11  IOSTANDARD LVCMOS33 } [get_ports { seven_segment[0] }];  
set_property -dict { PACKAGE_PIN AA11 IOSTANDARD LVCMOS33 } [get_ports { seven_segment[1] }];  
set_property -dict { PACKAGE_PIN Y10  IOSTANDARD LVCMOS33 } [get_ports { seven_segment[2] }];  
set_property -dict { PACKAGE_PIN AA9   IOSTANDARD LVCMOS33 } [get_ports { seven_segment[3] }];  
set_property -dict { PACKAGE_PIN W12  IOSTANDARD LVCMOS33 } [get_ports { seven_segment[4] }];  
set_property -dict { PACKAGE_PIN W11  IOSTANDARD LVCMOS33 } [get_ports { seven_segment[5] }];  
set_property -dict { PACKAGE_PIN V10  IOSTANDARD LVCMOS33 } [get_ports { seven_segment[6] }];  
  
set_property -dict { PACKAGE_PIN W8   IOSTANDARD LVCMOS33 } [get_ports { digit_selection_out }];
```

Constraints



3^η Εργαστηριακή Άσκηση

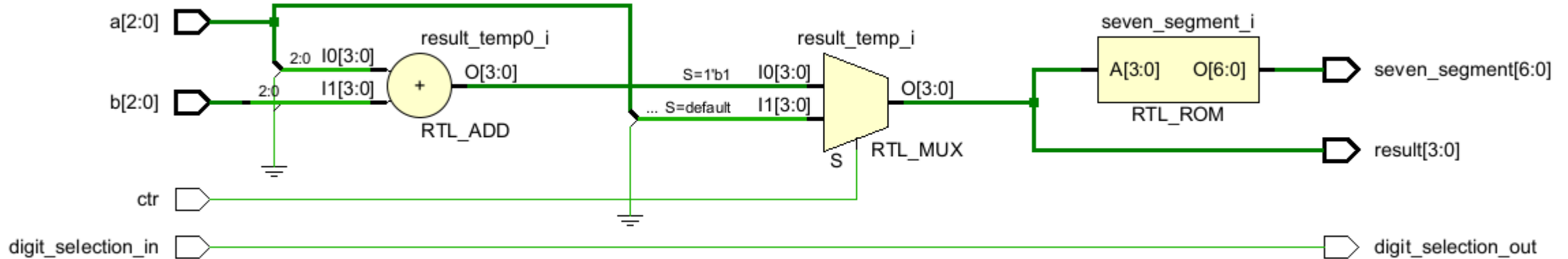
Pmod Manual

Manual Pmod

<https://reference.digilentinc.com/reference/pmod/pmodssd/reference-manual>

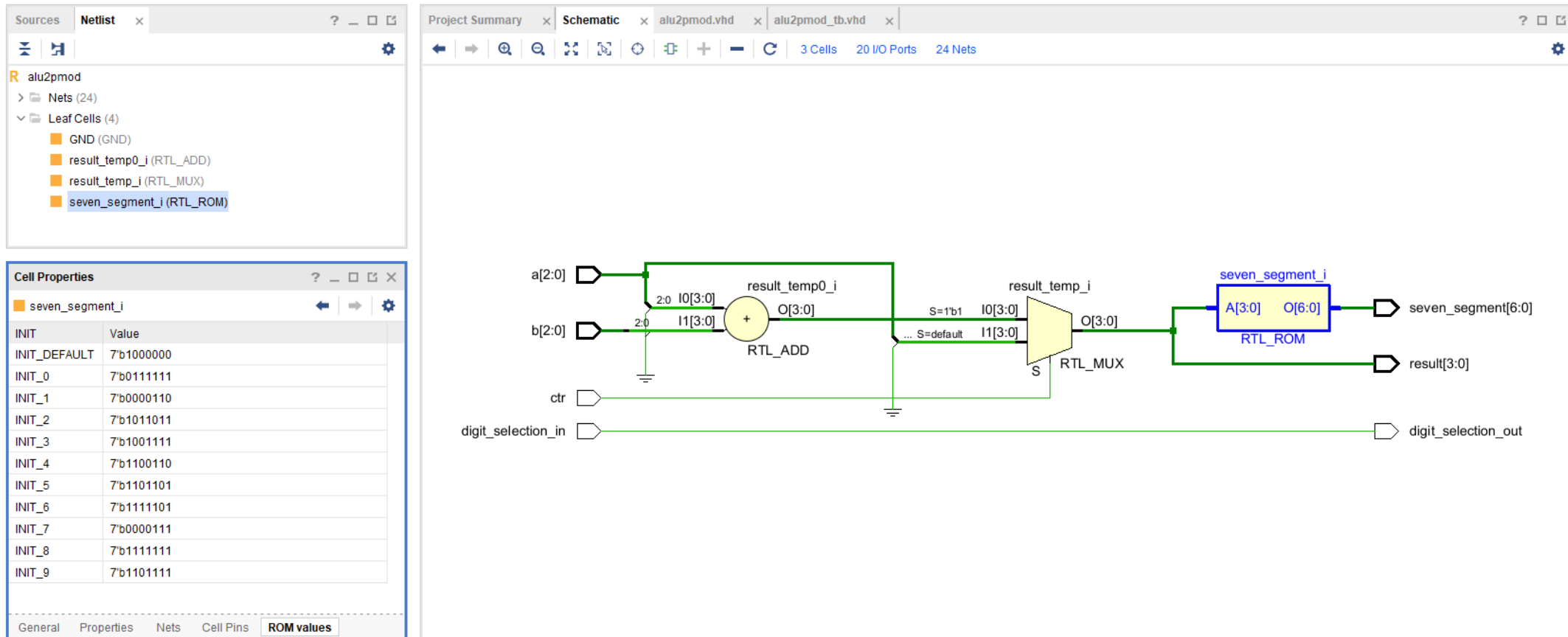
3^η Εργαστηριακή Άσκηση

RTL Design



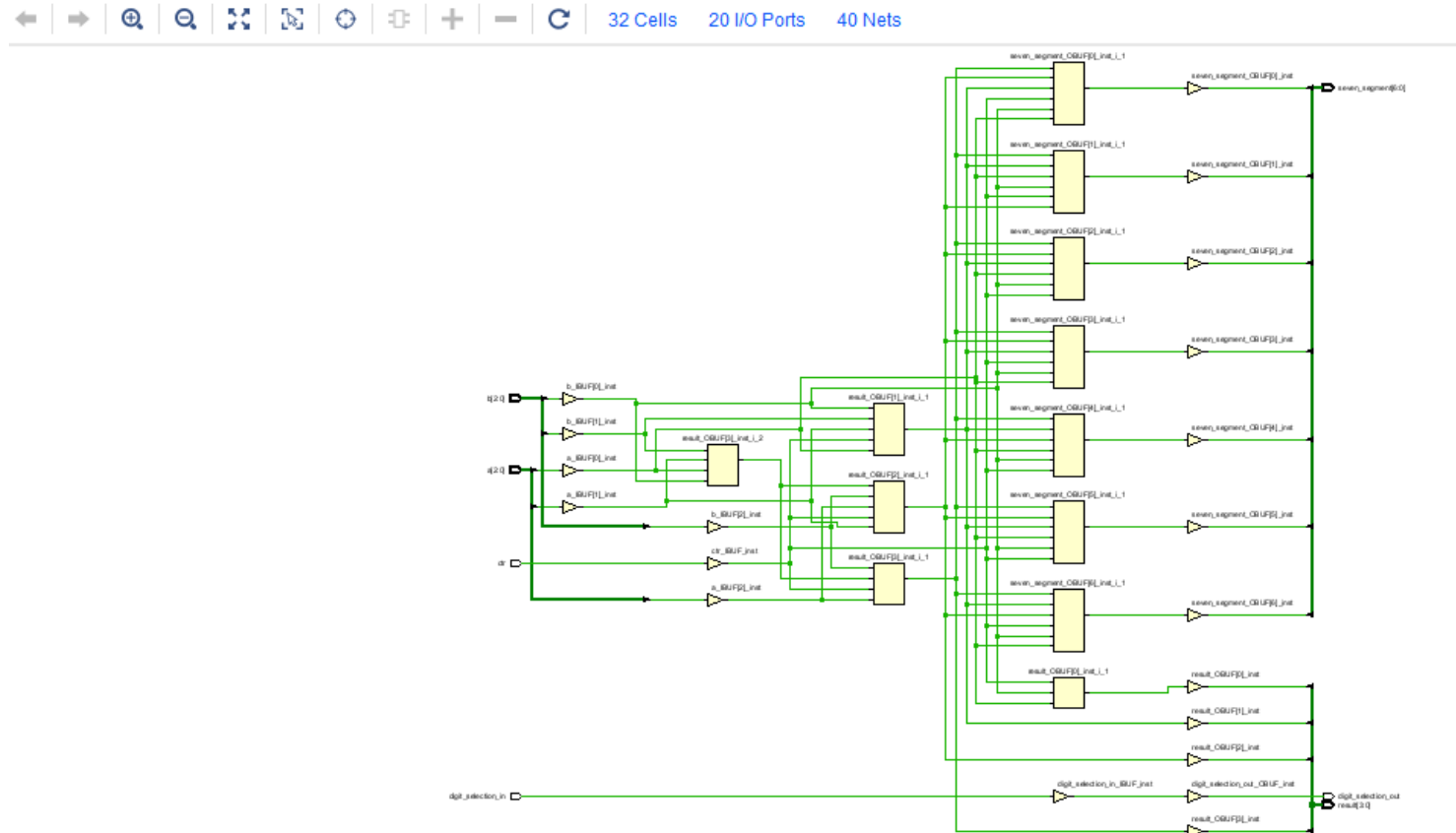
3^η Εργαστηριακή Άσκηση

RTL Design – ROM Module/ROM Values



3^η Εργαστηριακή Άσκηση

Synthesis/Implementation – Schematic



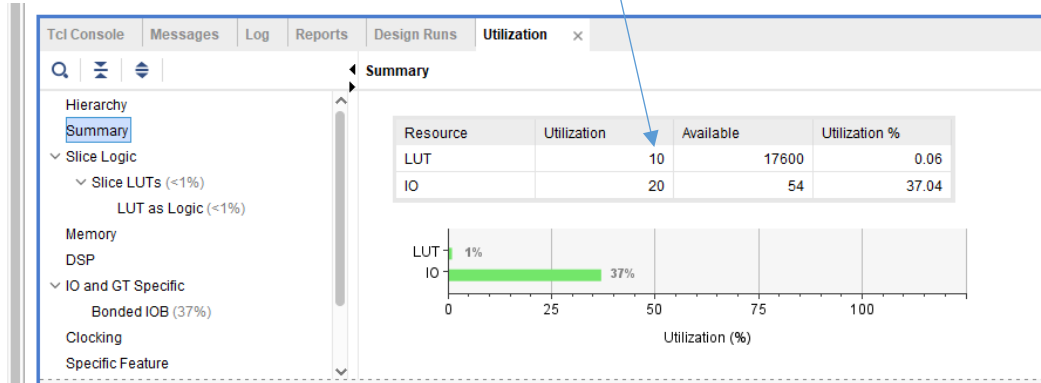
3^η Εργαστηριακή Άσκηση

Implementation – Report Utilization (1/3)

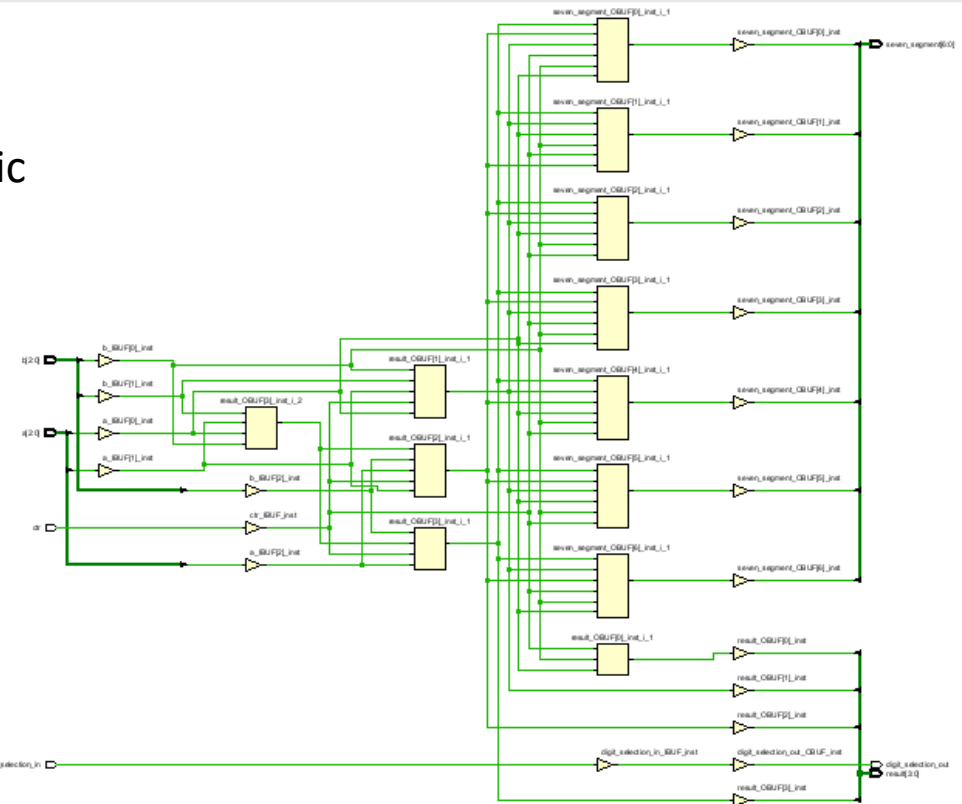
Και από Project Summary

Λιγότερα LUT από όσα δείχνει το schematic
Κάποια συγχωνεύονται (paired), κάποια παραμένουν (placed)

- Report DRC
- Report Noise
- Report Utilization**
- Report Power
- Schematic
- IMPLEMENTATION
 - Run Implementation
 - Open Implemented Design
- PROGRAM AND DEBUG
 - Generate Bitstream



32 Cells 20 I/O Ports 40 Nets



3^η Εργαστηριακή Άσκηση

Implementation – Report Utilization (2/3)

The screenshot displays the Xilinx Vivado implementation report utilization. The Netlist window shows a list of components, including seven_segment_OBUF instances and result_OBUF instances. The Cell Properties window shows the status of result_OBUF[0]_inst_i_1 as 'PLACED'. The Schematic window shows a complex circuit diagram with multiple OBUF cells and LUTs.

Netlist

- seven_segment_OBUF[2]_inst_i_1 (LUT6)
- seven_segment_OBUF[3]_inst (OBUF)
- seven_segment_OBUF[3]_inst_i_1 (LUT6)
- seven_segment_OBUF[4]_inst (OBUF)
- seven_segment_OBUF[4]_inst_i_1 (LUT6)
- seven_segment_OBUF[5]_inst (OBUF)
- seven_segment_OBUF[5]_inst_i_1 (LUT6)
- seven_segment_OBUF[6]_inst (OBUF)
- seven_segment_OBUF[6]_inst_i_1 (LUT6)

Cell Properties

| | |
|--------------------|-----------------|
| PRIMITIVE_GROUP | LUT |
| PRIMITIVE_LEVEL | LEAF |
| PRIMITIVE_SUBGROUP | others |
| PRIMITIVE_TYPE | LUT.others.LUT3 |
| REF_NAME | LUT3 |
| REUSE_STATUS | |
| SLR_INDEX | 0 |
| STATUS | PLACED |

3^η Εργαστηριακή Άσκηση

Implementation – Report Utilization (3/3)

IMPLEMENTED DESIGN - xc7z010iclg225-1L

Sources Netlist

- result_OBUF[2]_inst (OBUF)
- result_OBUF[2]_inst_i_1 (LUT5)
- result_OBUF[3]_inst (OBUF)
- result_OBUF[3]_inst_i_1 (LUT4)
- result_OBUF[3]_inst_i_2 (LUT4)
- seven_segment_OBUF[0]_inst (OBUF)
- seven_segment_OBUF[0]_inst_i_1 (LUT6)
- seven_segment_OBUF[1]_inst (OBUF)
- seven_segment_OBUF[1]_inst_i_1 (LUT6)

Cell Properties

result_OBUF[2]_inst_i_1

| | |
|--------------------|-----------------|
| PRIMITIVE_LEVEL | LEAF |
| PRIMITIVE_SUBGROUP | others |
| PRIMITIVE_TYPE | LUT.others.LUT5 |
| REF_NAME | LUT5 |
| REUSE_STATUS | |
| SLR_INDEX | 0 |
| SOFT_HLUTNM | soft_lutpair0 |
| STATUS | PLACED |

Project Summary | Device | alu2pmod.vhd | alu2pmod_tb.vhd | Schematic

32 Cells | 20 I/O Ports | 40 Nets

The schematic diagram shows a complex logic circuit. On the left, there are several input signals labeled 'a', 'b', and 'c'. These inputs feed into a series of logic blocks, including buffers and LUTs. The central part of the diagram features a large, multi-input logic block (likely a 5-input LUT) with a blue highlight. This block is connected to a series of OBUF (Output Buffer) blocks. The right side of the diagram shows the outputs of these OBUF blocks, labeled 'seven_segment_OBUF[0]_inst' through 'seven_segment_OBUF[1]_inst_i_1'. The overall layout is organized into a grid, with signals flowing from left to right.

3^η Εργαστηριακή Άσκηση

Implementation – Timing Reports (1/2)

Menu Reports->Timing-Timing Reports

Setup Time:
Αναφέρεται στις αργές διαδρομές
(καθυστέρηση διάδοσης)

Τα μονοπάτια (path) με τους χρόνους

| Name | Slack | Levels | Routes | High Fanout | From | To | Total Delay | Logic Delay | Net Delay | Logic % | Net % | Requirement | Source Clock | Destination Clock | Exception | Skew | Clot | |
|-------------------------|-------|--------|--------|-------------|------|------------------|-------------|-------------|-----------|---------|-------|-------------|------------------|-------------------|-----------|------|------|--|
| Unconstrained Paths (1) | | | | | | | | | | | | | | | | | | |
| (none) (10) | | | | | | | | | | | | | | | | | | |
| Path 11 | ∞ ns | 5 | 4 | 8 | a[1] | seven_segment[6] | 9.472 | 4.203 | 5.269 | 44.4 | 55.6 | ∞ | input port clock | | | | | |
| Path 12 | ∞ ns | 5 | 4 | 8 | a[1] | seven_segment[4] | 9.311 | 4.191 | 5.120 | 45.0 | 55.0 | ∞ | input port clock | | | | | |
| Path 13 | ∞ ns | 5 | 4 | 8 | a[1] | seven_segment[5] | 9.083 | 4.185 | 4.898 | 46.1 | 53.9 | ∞ | input port clock | | | | | |
| Path 14 | ∞ ns | 5 | 4 | 8 | a[1] | seven_segment[3] | 9.009 | 4.198 | 4.811 | 46.6 | 53.4 | ∞ | input port clock | | | | | |
| Path 15 | ∞ ns | 5 | 4 | 8 | a[1] | seven segment[2] | 8.989 | 4.181 | 4.809 | 46.5 | 53.5 | ∞ | input port clock | | | | | |

3^η Εργαστηριακή Άσκηση

Implementation – Timing Reports (2/2)

Path Properties

Path 1

Summary

Name Path 1

Slack (Hold) ∞ ns

Source digit_selection_in (input port)

Destination digit_selection_out (output port)

Path Group (none)

Path Type Min at Fast Process Corner

Requirement -∞ ns

Data P...Delay 1.912ns (logic 1.377ns (72.035%) route 0)

| Name | Slack | Levels | Routes | High Fanout | From | To | Total Delay | Logic Delay | Net Delay | Logic % | Net % | Requirement | Source Clock | Destination Clock | Exception |
|-------------------------|-------|--------|--------|-------------|--------------------|---------------------|-------------|-------------|-----------|---------|-------|-------------|------------------|-------------------|-----------|
| Unconstrained Paths (1) | | | | | | | | | | | | | | | |
| (none) (10) | | | | | | | | | | | | | | | |
| Path 1 | ∞ | 2 | 1 | 1 | digit_selection_in | digit_selection_out | 1.912 | 1.377 | 0.535 | 72.0 | 28.0 | -∞ | input port clock | | |
| Path 2 | ∞ | 3 | 2 | 10 | b[0] | seven_segment[2] | 2.254 | 1.390 | 0.864 | 61.7 | 38.3 | -∞ | input port clock | | |
| Path 3 | ∞ | 3 | 2 | 10 | b[0] | seven_segment[3] | 2.275 | 1.407 | 0.868 | 61.8 | 38.2 | -∞ | input port clock | | |
| Path 4 | ∞ | 3 | 2 | 11 | ctr | seven_segment[0] | 2.298 | 1.487 | 0.812 | 64.7 | 35.3 | -∞ | input port clock | | |
| Path 5 | ∞ | 3 | 2 | 11 | ctr | seven segment[1] | 2.303 | 1.486 | 0.817 | 64.5 | 35.5 | -∞ | input port clock | | |

Hold Time:

Αναφέρεται στις γρήγορες διαδρομές (καθυστέρηση μόλυνσης)

Τα μονοπάτια (path) με τους χρόνους

3^η Εργαστηριακή Άσκηση

Implementation – Path Analysis

The screenshot displays the Xilinx Vivado Path Analysis tool. The main window shows the implementation details for Path 11, including Slack, Source, Destination, Path Group, Path Type, Requirement, Data Path Delay, and Logic Levels. A table below provides a detailed breakdown of the path segments, including Delay Type, Incremental delay, Path delay, Location, and Netlist Resource(s).

| Delay Type | Incr (ns) | Path (ns) | Location | Netlist Resource(s) |
|----------------------|-----------|-----------|---------------------|----------------------------------|
| net (fo=0) | (r) 0.000 | 0.000 | Site: P10 | a[1] |
| IBUF (Prop.obuf I O) | (r) 0.966 | 0.966 | Site: P10 | a_IBUF[1]_instI |
| net (fo=3, routed) | 1.589 | 2.556 | Site: SLICE_X43Y7 | a_IBUF[1] |
| LUT4 (Prop.obuf I O) | (r) 0.124 | 2.680 | Site: SLICE_X43Y7 | result_OBUF[3]_inst_i_2I1 |
| net (fo=2, routed) | 0.433 | 3.112 | Site: SLICE_X43Y7 | result_OBUF[3]_inst_i_2IO |
| LUT4 (Prop.obuf I O) | (r) 0.150 | 3.262 | Site: SLICE_X43Y7 | result_OBUF[3]_inst_i_1I1 |
| net (fo=8, routed) | 1.575 | 4.837 | Site: SL...E_X43Y14 | result_OBUF[3] |
| LUT6 (Prop.obuf I O) | (r) 0.326 | 5.163 | Site: SL...E_X43Y14 | seven_segment_OBUF[6]_inst_i_1I0 |
| net (fo=1, routed) | 1.672 | 6.836 | Site: R13 | seven_segment_OBUF[6]_instI |
| OBUF (Pr.obuf I O) | (r) 2.637 | 9.472 | Site: R13 | seven_segment_OBUF[6]_instIO |
| net (fo=0) | 0.000 | 9.472 | Site: R13 | seven_segment[6] |

The bottom panel shows the Timing Checks - Setup table, which includes columns for Name, Slack, Levels, Routes, High Fanout, From, To, Total Delay, Logic Delay, Net Delay, Logic %, Net %, Requirement, Source Clock, Destination Clock, Exception, Skew, and Clock. The Path 11 entry is highlighted, showing a Total Delay of 9.472 ns and a Requirement of infinity.

Δεξί κλικ στο Path και
[View Path Report](#)

3^η Εργαστηριακή Άσκηση

Implementation – Simulation

```
test: process is
begin

ctr_tb<='1';          //Add
a_tb<="100";b_tb<="011";wait for 20ns;
a_tb<="100";b_tb<="100";wait for 20ns;

ctr_tb<='0';          //Multiply
a_tb<="000";b_tb<="011";wait for 20ns;
a_tb<="010";b_tb<="100";wait for 20ns;
a_tb<="100";b_tb<="100";wait for 20ns;
a_tb<="111";b_tb<="100";wait for 20ns;

end process test;
```