

ΚΥΚΛΩΜΑΤΑ VLSI



Γ. Τσατούχας

ΚΥΚΛΩΜΑΤΑ VLSI

Διάρθρωση



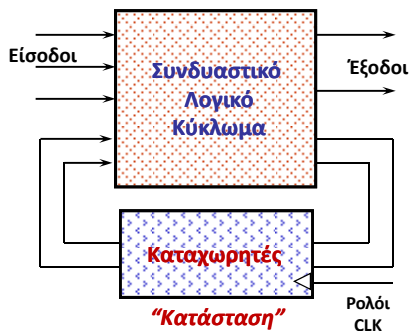
1. Δισταθή κυκλώματα – Μεταστάθεια
2. Μανδαλωτές
3. Flip-Flops
4. Δομές διοχέτευσης
5. Διανομή ρολογιού
6. Συγχρονισμός ρολογιών



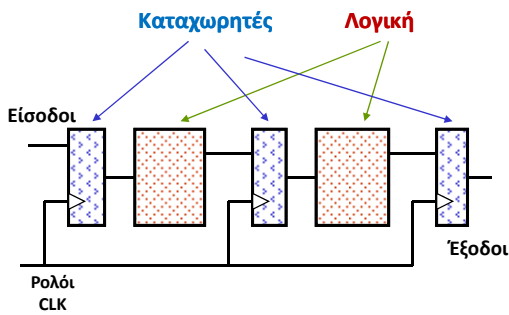
VLSI Technology
and Computer Architecture Lab

Ακολουθιακή Λογική

έξοδοι = f(εισόδων, κατάστασης)



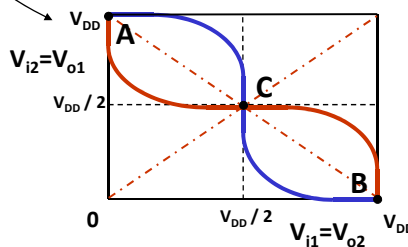
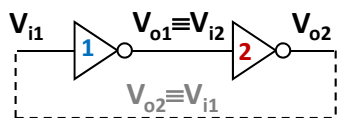
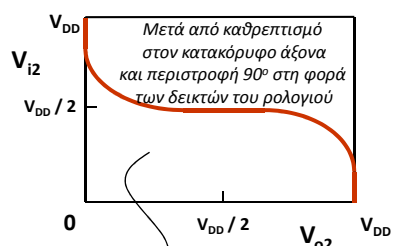
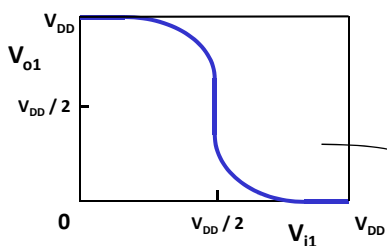
Μηχανή Πεπερασμένων Καταστάσεων (Finite State Machine- FSM)



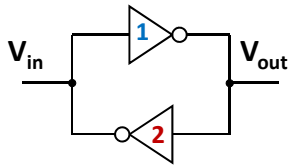
Σύστημα με Διοχέτευση (Pipeline)



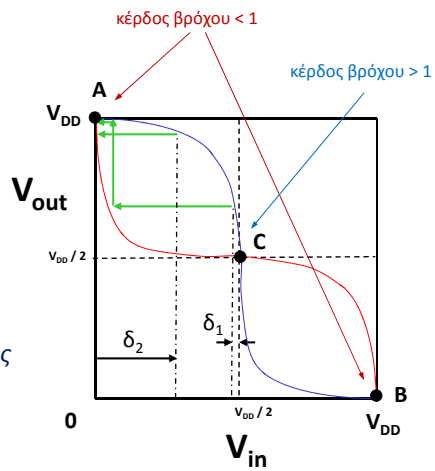
Αρχή Λειτουργίας Δισταθών Κυκλωμάτων



Μεταευσταθή & Ευσταθή Σημεία Λειτουργίας



A και B = ευσταθή σημεία λειτουργίας
C = μεταευσταθές σημείο λειτουργίας

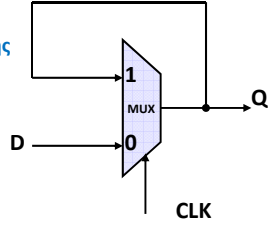


Μανδαλωτές (Latches)

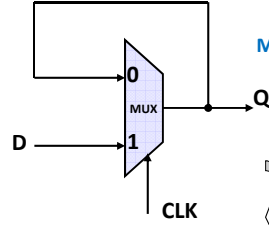


Μανδαλωτής Βασισμένος σε Πολυπλέκτη

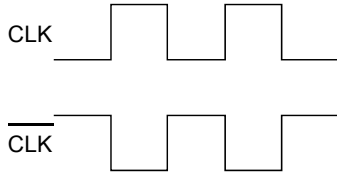
Αρνητικός Μανδαλωτής



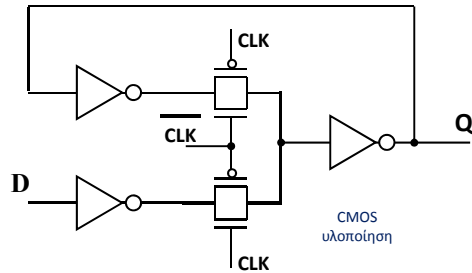
Θετικός Μανδαλωτής



Μανδαλωτής: Κύκλωμα ευαίσθητο σε στάθμη τάσης (level-sensitive)



Συμπληρωματικά (μη επικαλυπτόμενα) ρολόγια



CMOS υλοποίηση

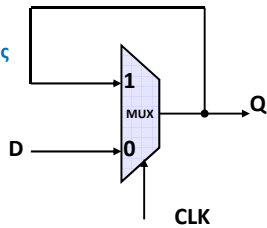


Ακολουθιακή Λογική

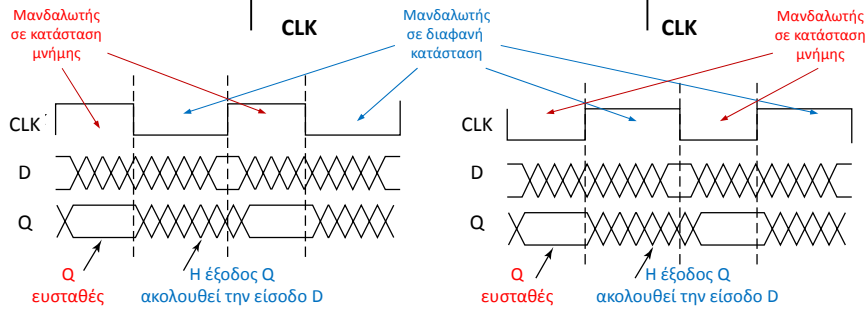
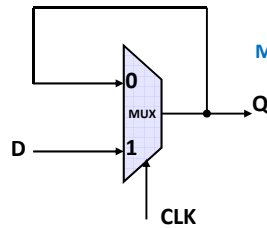
7

Χρονισμός Μανδαλωτών

Αρνητικός Μανδαλωτής



Θετικός Μανδαλωτής



Q ευσταθές Η έξοδος Q ακολουθεί την είσοδο D

Q ευσταθές Η έξοδος Q ακολουθεί την είσοδο D

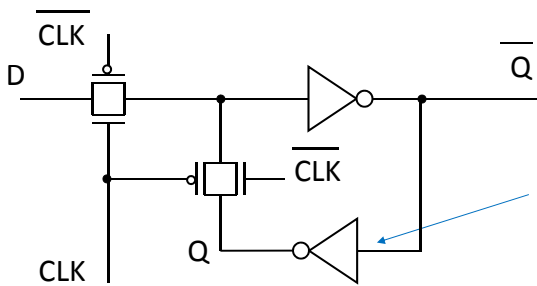


Ακολουθιακή Λογική

8

Μανδαλωτής Ελεγχόμενης Ανασύζευξης

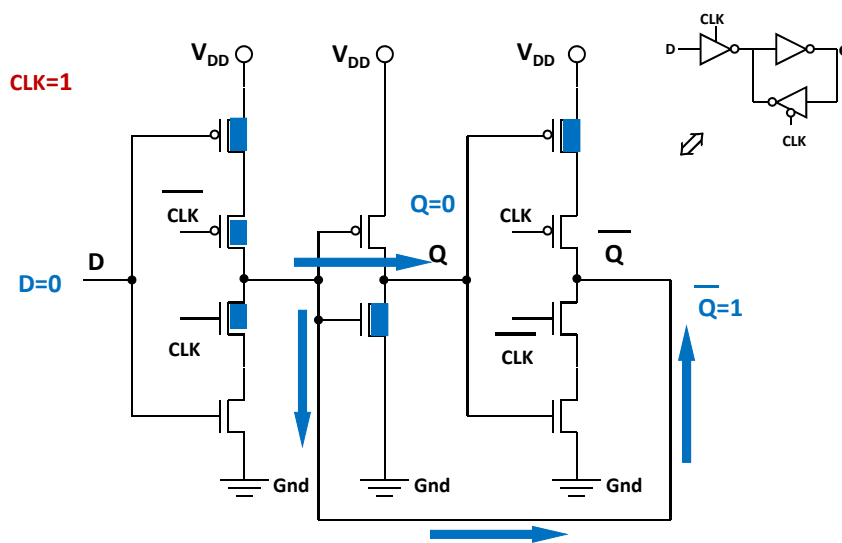
Οι D-μανδαλωτές (D-latches) είναι κυκλώματα μνήμης ευαίσθητα στη στάθμη (τιμή) του σήματος ρολογιού CLK. Στη μία στάθμη είναι διαφανείς και η τιμή της εισόδου D περνάει αυτόματα στους κόμβους Q και \bar{Q} του κυκλώματος. Στην δεύτερη στάθμη το κύκλωμα εμφανίζει μνήμη και οι εσωτερικοί κόμβοι δεν επηρεάζονται από την είσοδο. Η τιμή στον κόμβο Q είναι η τελευταία τιμή της εισόδου D πριν το ρολόι εγκαταλείψει την στάθμη διαφάνειας.



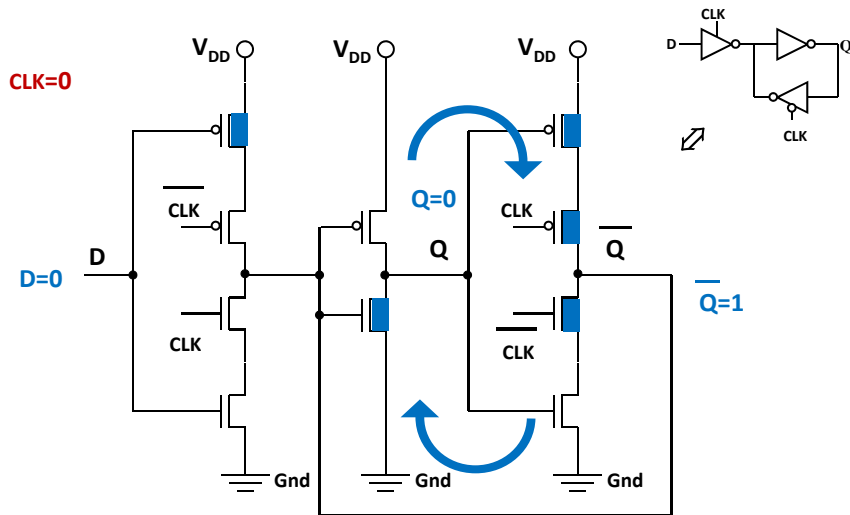
Ο αναστροφέας ανασύζευξης μπορεί να σχεδιαστεί με μικρές τιμές για τα $k_{p,n}$ των τρανζίστορ του. Σε αυτή την περίπτωση η πύλη διέλευσης που ακολουθεί μπορεί να καταργηθεί.



D Μανδαλωτής Ανασύζευξης (I)



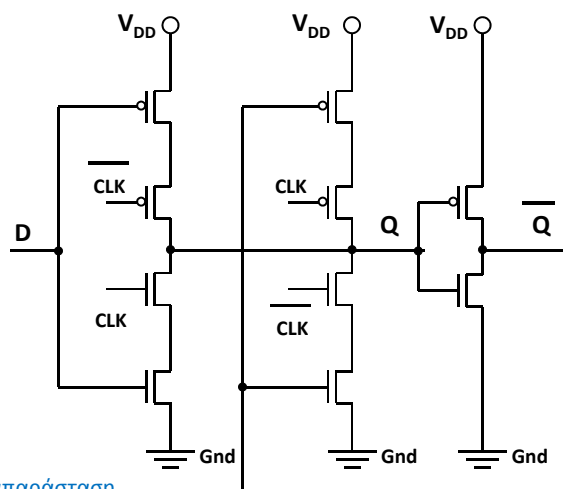
D Μανδαλωτής Ανασύζευξης (II)



Ακολουθιακή Λογική

11

D Μανδαλωτής Ανασύζευξης (III)



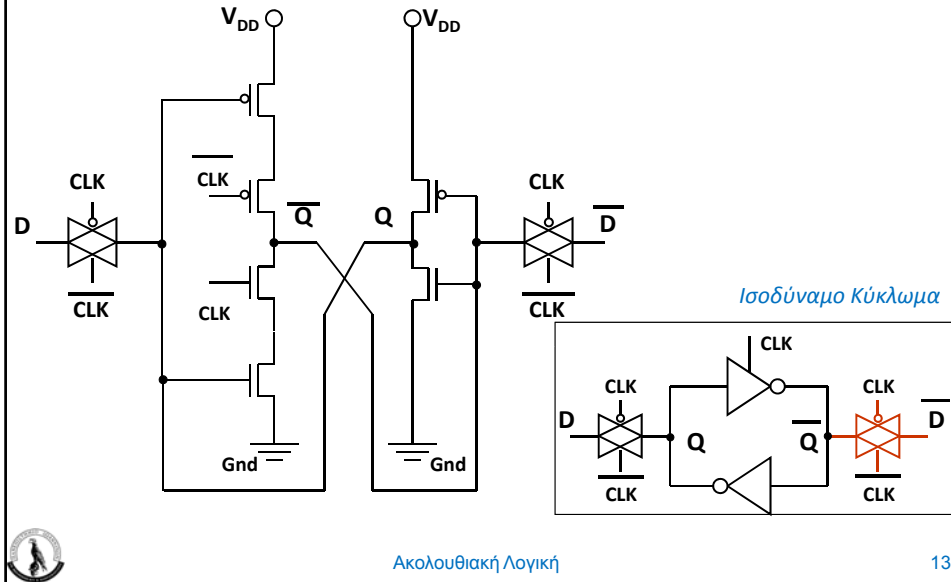
Ισοδύναμη αναπαράσταση



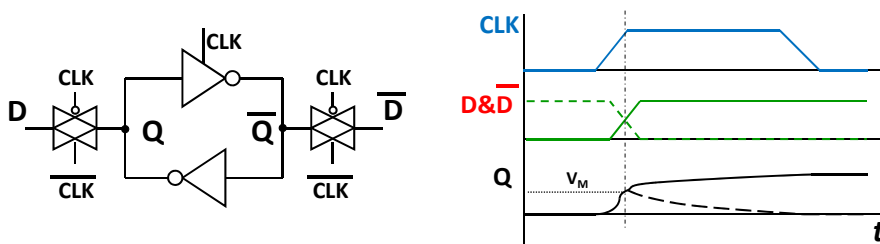
Ακολουθιακή Λογική

12

Μανδαλωτής με Χρήση Πυλών Διέλευσης

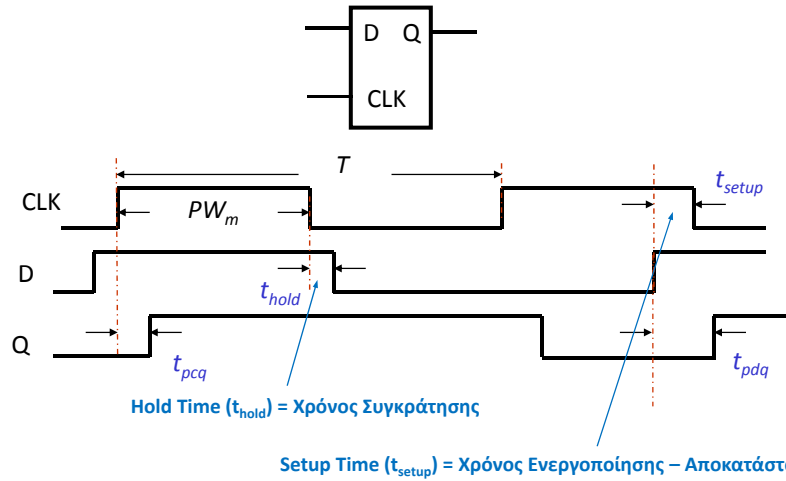


Μεταευστάθεια - Metastability



Έστω ότι τα σήματα D και \bar{D} ενεργοποιούνται σχεδόν σύγχρονα με το ρολόι CLK. Τότε κατά τη μετάβαση του ρολογιού τα σήματα αυτά θα βρεθούν κάποια χρονική στιγμή να έχουν την ίδια τιμή τάσης μεταξύ τους. Έτσι είναι πιθανό κατά το τέλος της μετάβασης του ρολογιού οι κόμβοι Q και \bar{Q} να έχουν πολύ κοντινές τιμές, κοντά στο κατώφλι μετάβασης V_M (π.χ. $V_{DD}/2$) που είναι το μεταευσταθές σημείο λειτουργίας. Το αποτέλεσμα είναι ότι το κύκλωμα θα χρειαστεί μεγάλο χρόνο για να κλειδώσει στην τελική του κατάσταση, ενώ η κατάσταση αυτή ενδεχομένως να εξαρτάται από τυχαίους παράγοντες όπως ο θόρυβος!

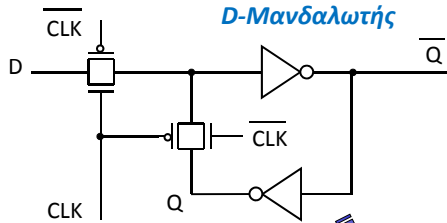
Παράμετροι Μανδαλωτών



Flip-Flops



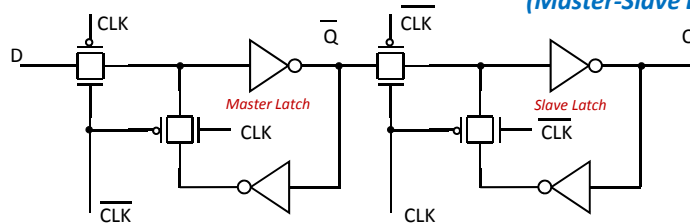
D Flip-Flop Αφέντη-Σκλάβου



D-Μανδαλωτής

Τα Flip-Flop είναι ακμοπυροδότητα στοιχεία μνήμης. Δηλ. είναι ευαίσθητα σε κάποια ακμή και όχι στη στάθμη του ρολογιού. Στη συγκεκριμένη ακμή τα δεδομένα στην είσοδο περνούν στην έξοδο, γεγονός που δεν μπορεί να συμβεί σε οποιαδήποτε άλλη χρονική στιγμή.

Χρήση 2 Latch σε σειρά



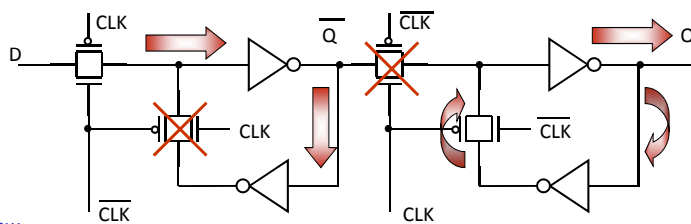
D Flip-Flop Αφέντη-Σκλάβου (Master-Slave D Flip-Flop)

Στατικό Flip-Flop

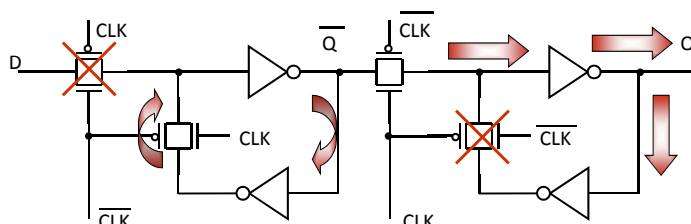
Ακολουθιακή Λογική

17

Λειτουργία D Flip-Flop Αφέντη-Σκλάβου



CLK = "0" - low



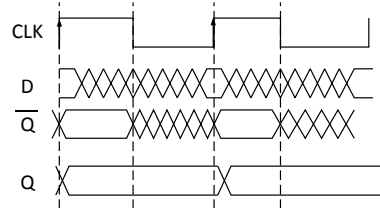
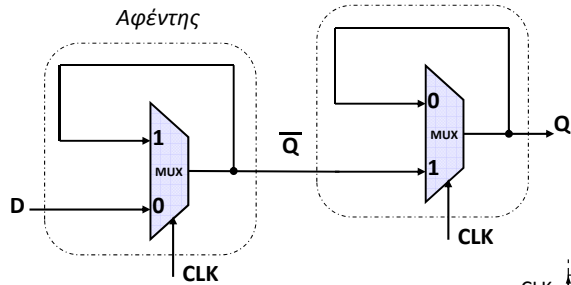
CLK = "1" - high

Ακολουθιακή Λογική

18

D Flip-Flop με Πολυπλέκτες

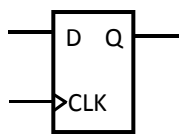
Στατικό Flip-Flop



Ακολουθιακή Λογική

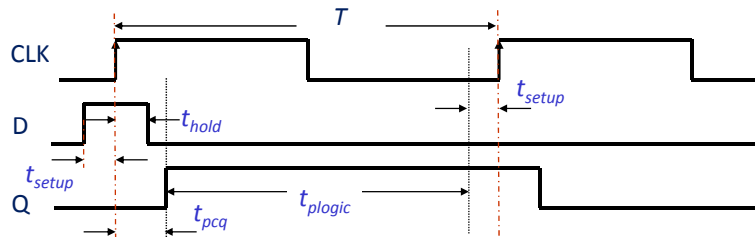
19

Παράμετροι D Flip-Flop



Setup Time (t_{setup}) = Χρόνος Ενεργοποίησης – Αποκατάστασης

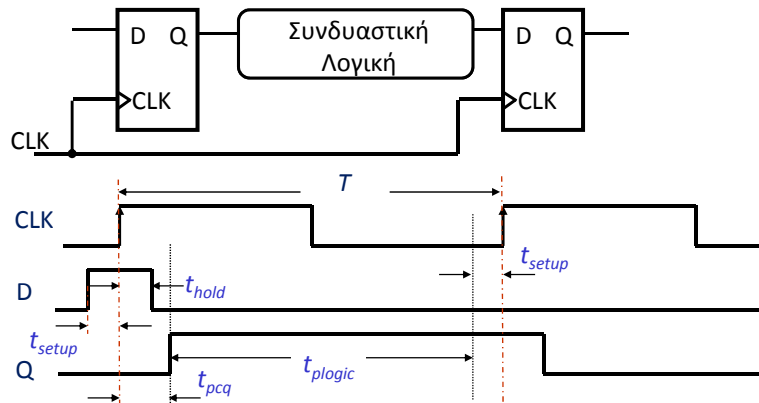
Hold Time (t_{hold}) = Χρόνος Συγκράτησης



Ακολουθιακή Λογική

20

Χρονισμός Λογικής Βασισμένης σε Flip-Flop



Πρέπει να ισχύει:

$$T \geq t_{pcq} + t_{plogic} + t_{setup}$$

και

$$t_{hold} \leq t_{cdfip-flop} + t_{cdlogic}$$

t_{plogic} = καθυστέρηση διάδοσης της λογικής στη χειρότερη περίπτωση

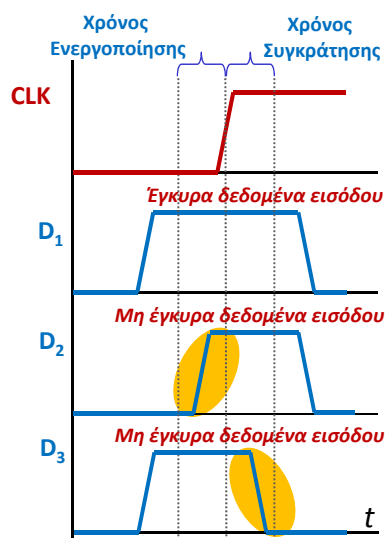
$t_{cdfip-flop} / t_{cdlogic}$ = ελάχιστη καθυστέρηση (contamination delay) flip-flop/ λογικής



Ακολουθιακή Λογική

21

Χρόνοι Ενεργοποίησης και Συγκράτησης

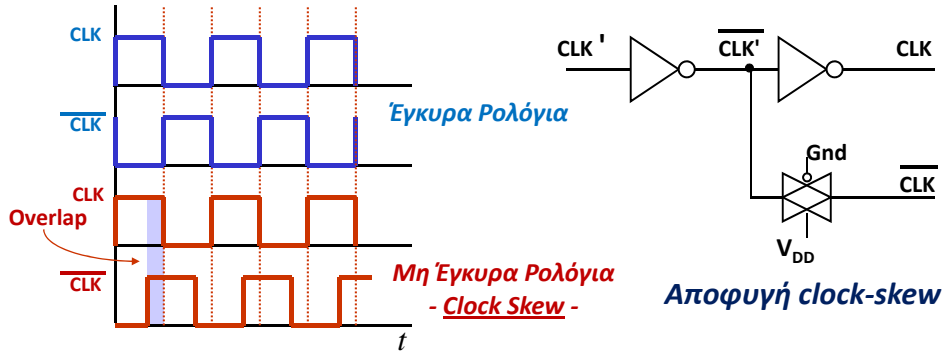
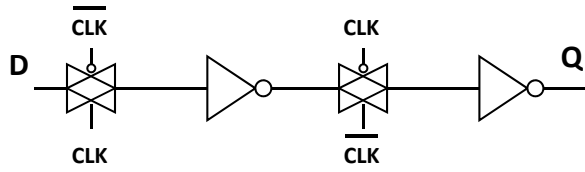


Ακολουθιακή Λογική

22

D Flip-Flop Μίας Φάσης Πυλών Διέλευσης

Δυναμικό Flip-Flop



Αποφυγή clock-skew

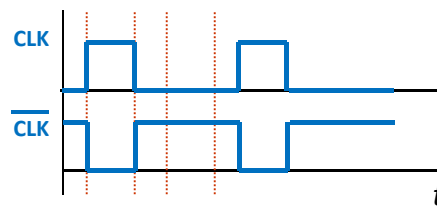
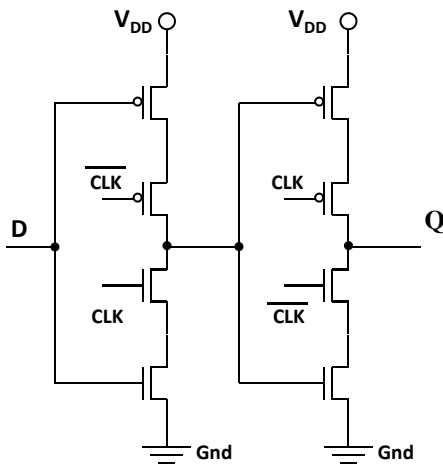


Ακολουθιακή Λογική

23

C²MOS D Flip-Flop Μίας Φάσης

Δυναμικό Flip-Flop

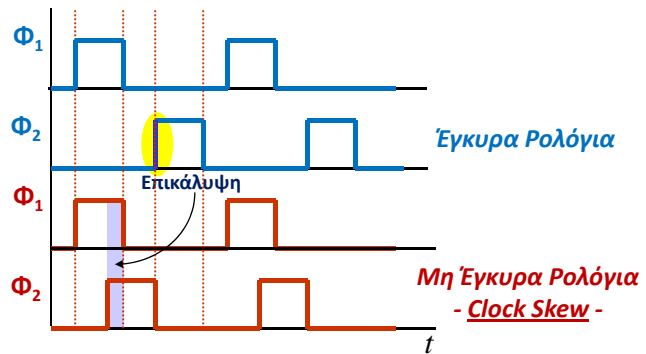
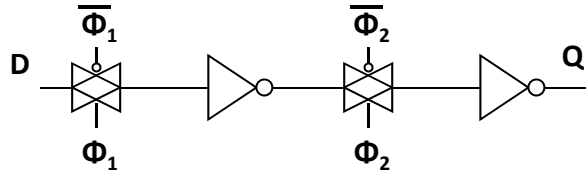


Ακολουθιακή Λογική

24

D Flip-Flop Πυλών Διέλευσης Δύο Φάσεων

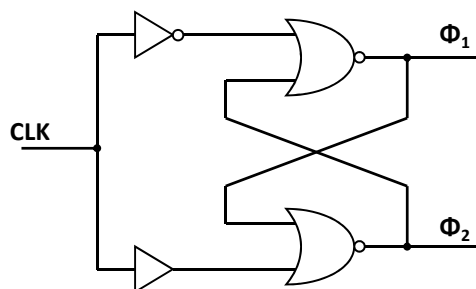
Δυναμικό Flip-Flop



Ακολουθιακή Λογική

25

Γεννήτρια μη Επικαλυπτόμενων Φάσεων

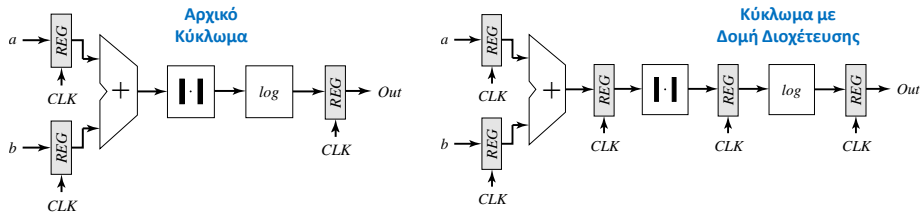


Ακολουθιακή Λογική

26

Δομές Διοχέτευσης (I)

(Pipelines)



$$T_{\min,org} = t_{c \rightarrow q} + (t_{p_add} + t_{p_abs} + t_{p_log}) + t_{su}$$

$$T_{\min,pipe} = t_{c \rightarrow q} + \max(t_{p_add}, t_{p_abs}, t_{p_log}) + t_{su}$$

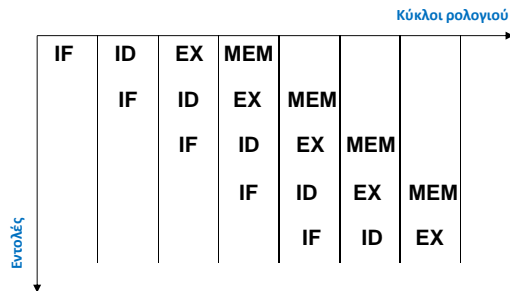
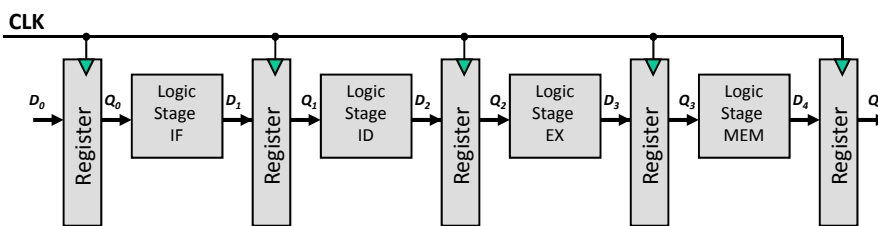
$$\alpha \nu \quad t_{p_add} = t_{p_abs} = t_{p_log}$$

$$\tau \acute{o} \tau \epsilon \quad T_{\min,pipe} \cong \frac{T_{\min,org}}{3}$$

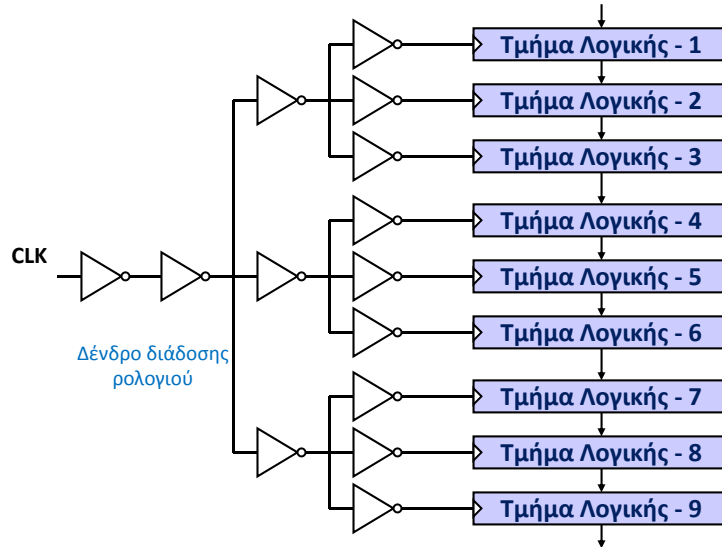
Clock Period	Adder	Absolute Value	Logarithm
1	$a_1 + b_1$		
2	$a_2 + b_2$	$a_1 + b_1$	
3	$a_3 + b_3$	$a_2 + b_2$	$\log(a_1 + b_1)$
4	$a_4 + b_4$	$a_3 + b_3$	$\log(a_2 + b_2)$
5	$a_5 + b_5$	$a_4 + b_4$	$\log(a_3 + b_3)$



Δομές Διοχέτευσης (II)



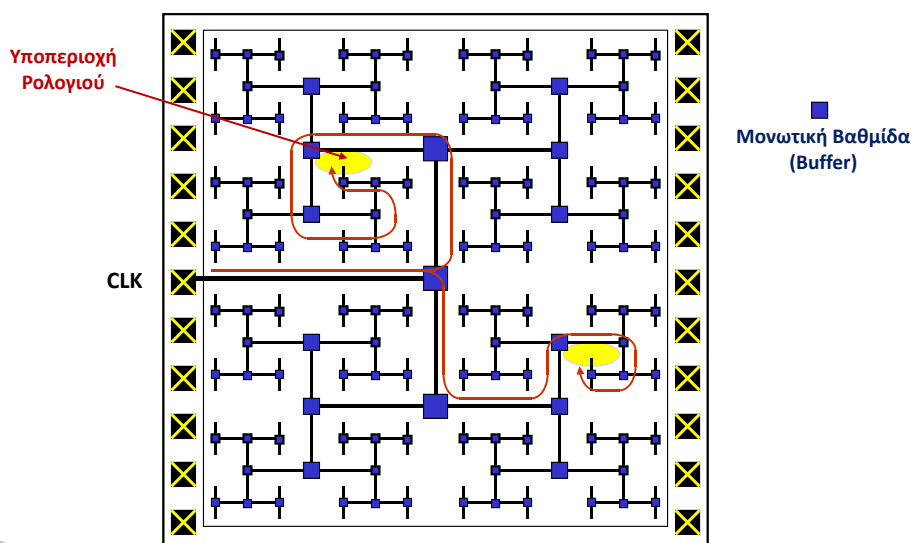
Παροχή - Διανομή Ρολογιού (I)



Ακολουθιακή Λογική

31

Παροχή - Διανομή Ρολογιού (II)

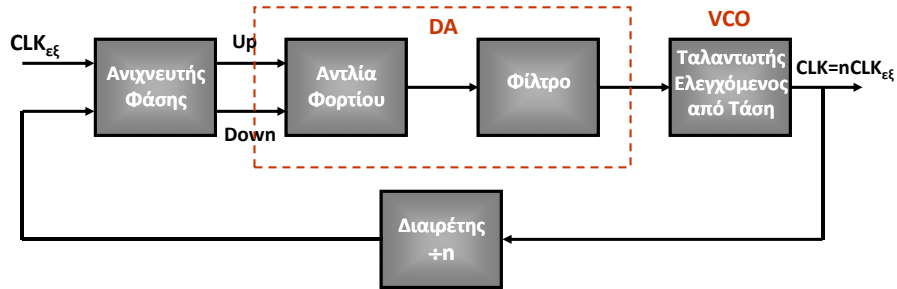


Ακολουθιακή Λογική

32

Γεννήτορες Ρολογιού

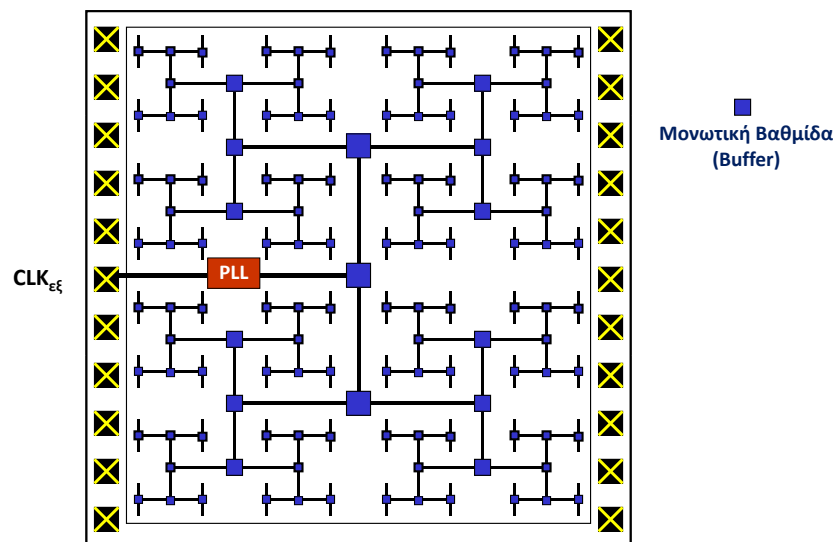
Βρόχοι Κλειδωμένης Ανάδρασης – Phase Locked Loops (PLLs)



- Γένεση ρολογιού CLK υψηλής συχνότητας σε συγχρονισμό με ένα ρολόι αναφοράς $CLK_{\epsilon\epsilon}$ χαμηλής συχνότητας.
- Η συνολική ασάφεια του ρολογιού CLK είναι ίση με (jitter + skew).



Παροχή - Διανομή Ρολογιού (III)



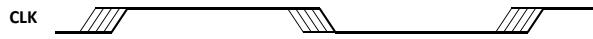
Clock Jitter – Clock Skew

Clock Jitter

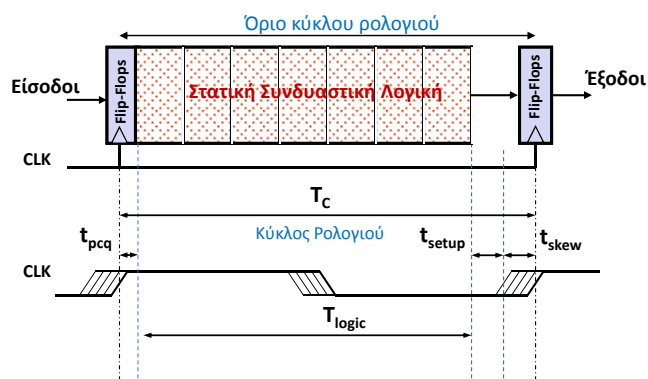
Ως **clock jitter** ονομάζουμε την ασάφεια του σήματος ρολογιού η οποία οφείλεται εγγενώς στο σύστημα παραγωγής του ρολογιού (π.χ. PLL).

Clock Skew

Ως **clock skew** ονομάζουμε την ασάφεια του σήματος ρολογιού η οποία οφείλεται στο σύστημα διανομής του ρολογιού.



Απλής-Φάσης Χρονισμός Flip-Flop



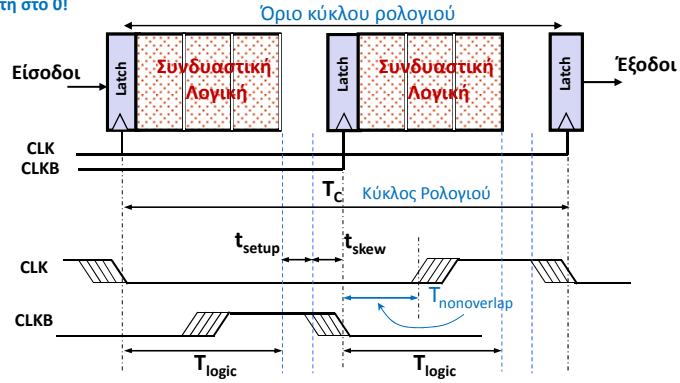
Διαθέσιμος χρόνος της λογικής για υπολογισμό:

$$T_{logic} = T_C - \underbrace{t_{pcq} - t_{setup} - t_{skew}}_{T_{overhead}} = T_C - T_{overhead}$$



Διπλής-Φάσης Χρονισμός Μανδαλωτών I

Μνήμη μανδαλωτή στο 0!

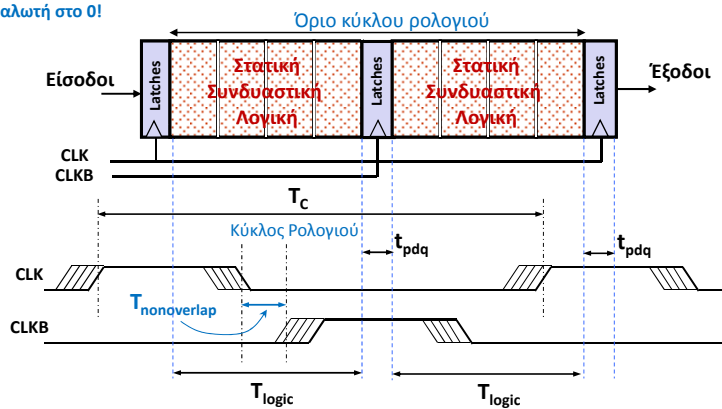


Ακολουθιακή Λογική

37

Διπλής-Φάσης Χρονισμός Μανδαλωτών II

Μνήμη μανδαλωτή στο 0!



Διαθέσιμος χρόνος της λογικής για υπολογισμό:

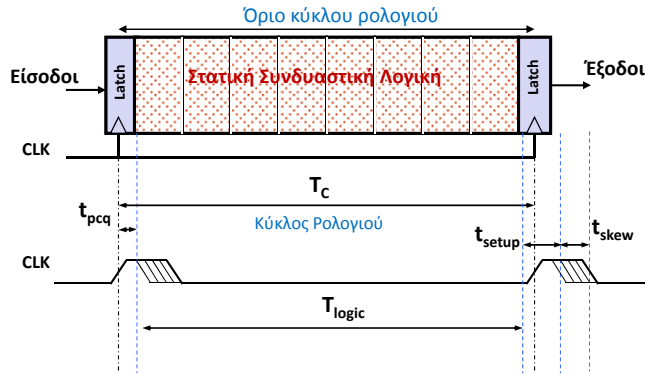
$$T_{logic} = T_C - 2t_{pdq} = T_C - T_{overhead}$$



Ακολουθιακή Λογική

38

Χρονισμός Παλμικών Μανδαλωτών

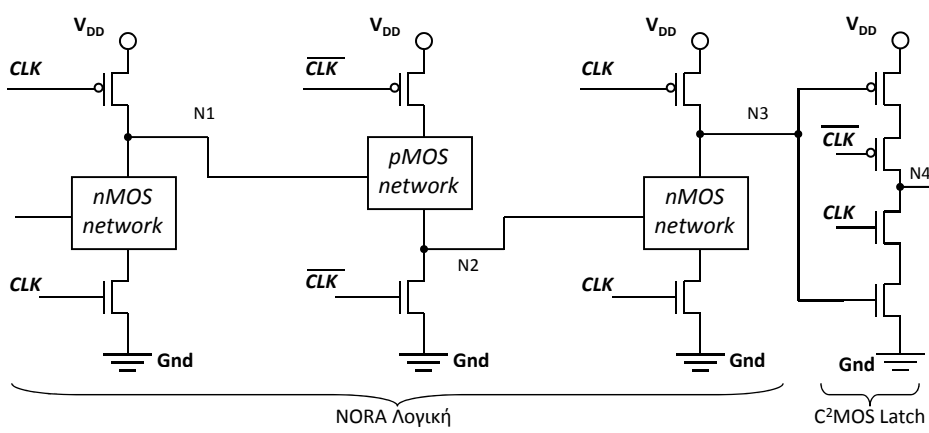


Διαθέσιμος χρόνος της λογικής για υπολογισμό:

$$T_{logic} = T_C - t_{pcq} - t_{setup} = T_C - T_{overhead}$$



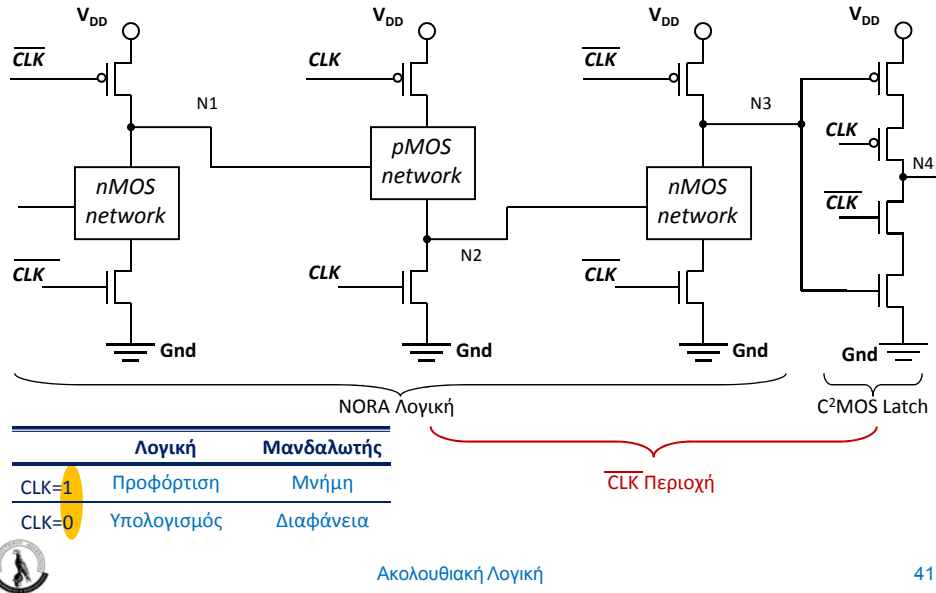
NORA-CMOS Σχεδίαση (I)



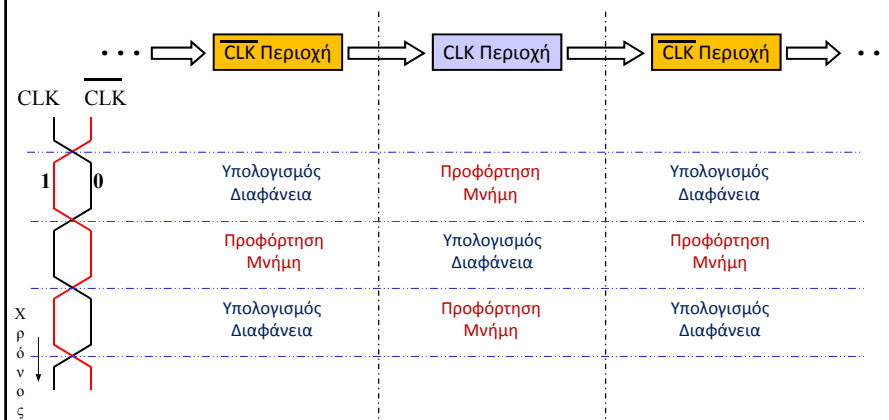
	Λογική	Μανδαλωτής
CLK=0	Προφόρτιση	Μνήμη
CLK=1	Υπολογισμός	Διαφάνεια



NORA-CMOS Σχεδίαση (II)



Δομές Διοχέτευσης NORA-CMOS



Συγχρονισμός Ρολογιών (I)

Προβλήματα συγχρονισμού εξ αιτίας:

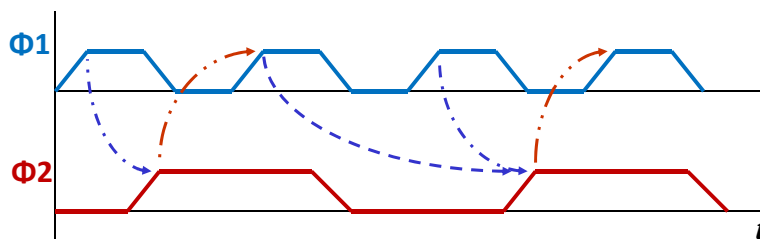
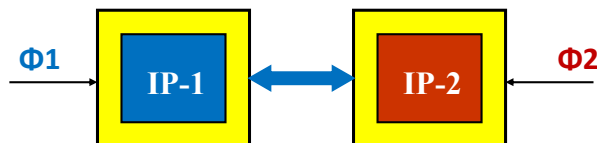
- πολλαπλών, διαφορετικών, ρολογιών σε ξεχωριστές περιοχές του ολοκληρωμένου
- ασύγχρονων σχεδιασμών
- μεικτών σχεδιασμών σε ένα ολοκληρωμένο



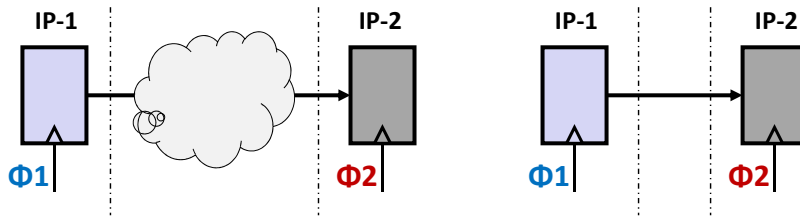
Το πρόβλημα είναι πιο έντονο στις περιπτώσεις σχεδιασμών συστημάτων σε ένα ολοκληρωμένο (system on a chip - SOC) όπου κυκλώματα πυρήνες (cores – IP blocks) από διαφορετικούς σχεδιαστές, με διαφορετικές ανάγκες χρονισμού (ρολογιών), πρέπει να συνδυαστούν και να συνλειτουργήσουν (να διασυνδεθούν) στο ίδιο ολοκληρωμένο.



Συγχρονισμός Ρολογιών (II)



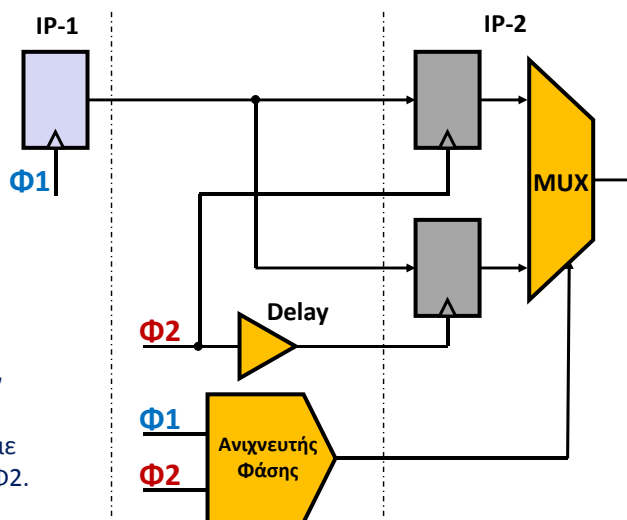
Συγχρονισμός Ρολογιών (III)



Δύσκολη η αποφυγή της καταστράτηγησης των περιορισμών στους χρόνους αποκατάστασης (setup time) και συγκράτησης (hold time) και κατά συνέπεια της εμφάνισης φαινομένων μεταστάθειας στα στοιχεία μνήμης κατά την επικοινωνία μεταξύ των δύο κυκλωμάτων.



Συγχρονισμός Ρολογιών (IV)



Πιθανή αντιμετώπιση:

- Ανίχνευση συμφασικών ρολογιών.
- Αν ναι δειγματοληψία με καθυστερημένο ρολόι Φ2.

