dscal
DIGITAL SYSTEMS & COMPUTER ARCHITECTURE LABORATORY

Εργαστήριο Λογικής Σχεδίασης

3ο Εργαστηριακό Μάθημα

Βασιλόπουλος Διονύσης

Ε.ΔΙ.Π. Τμήματος Πληροφορικής & Τηλεπικοινωνιών - ΕΚΠΑ

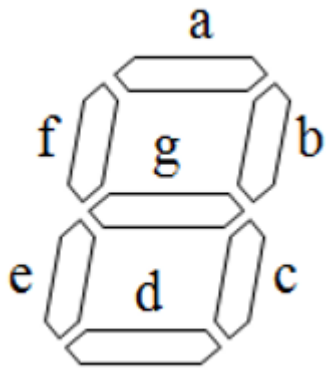
ΤΜΗΜΑ
ΠΛΗΡΟΦΟΡΙΚΗΣ & ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ

3η Εργαστηριακή Άσκηση

Μετατρέψτε έναν δυαδικό αριθμό στον αντίστοιχο BCD κώδικα και εμφανίστε το αποτέλεσμα σε ένα 7-segment display (pmod του εργαστηρίου), εναλλάσσοντας το ψηφίο του pmod στο οποίο εμφανίζετε.

3η Εργαστηριακή Άσκηση

VHDL – 7 segment led



Αναπαράσταση με 7-bit
MSB->g - LSB->a

g-f-e-d-c-b-a

3η Εργαστηριακή Άσκηση

VHDL – 7 segment led

- Κώδικας BCD: Δυαδικά κωδικοποιημένοι δεκαδικοί
  - Κώδικας 4 bit για τα δεκαδικά ψηφία

0: 0000	1: 0001	2: 0010	3: 0011	4: 0100
5: 0101	6: 0110	7: 0111	8: 1000	9: 1001

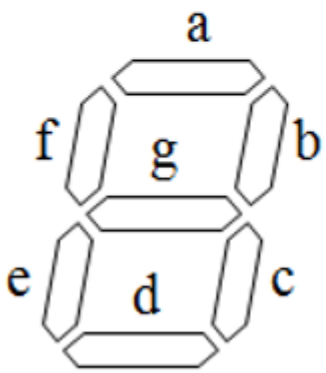
Υπάρχουν και άλλες δυνατές αναπαραστάσεις;

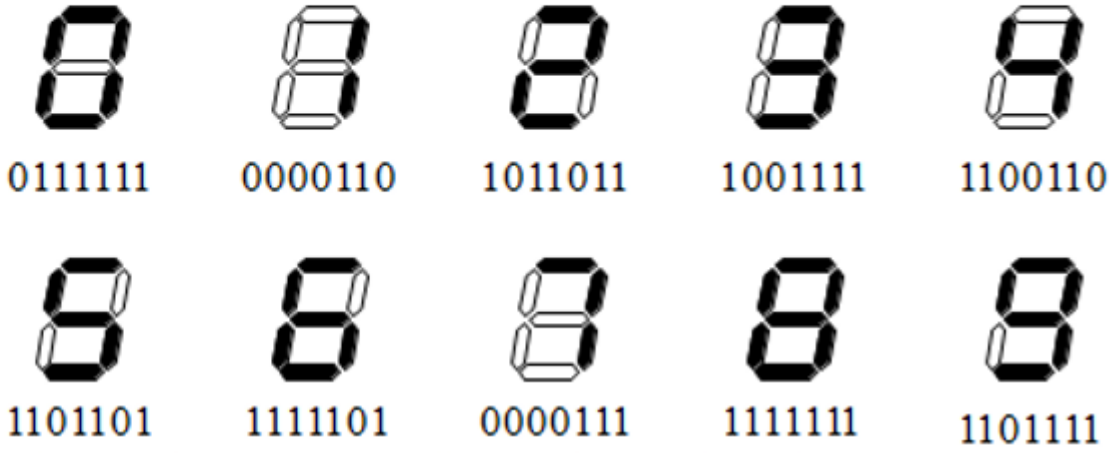
Υπάρχει πλεονασμός στη χρήση των bit;

3η Εργαστηριακή Άσκηση

VHDL – 7 segment led

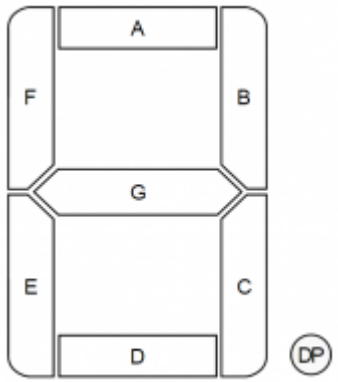
- Αποκωδικοποιεί τον κώδικα BCD (binary coded decimal) για να οδηγήσει μια οθόνη (LED ή LCD) 7 τμημάτων
  - Τμήματα: (g, f, e, d, c, b, a)





3η Εργαστηριακή Άσκηση

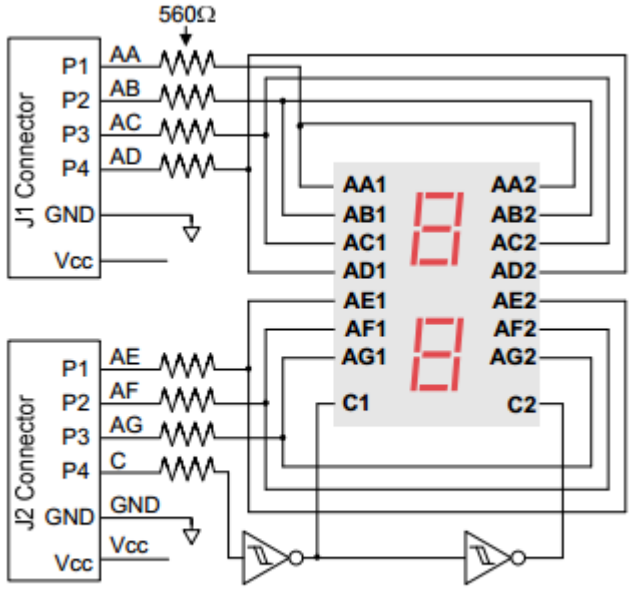
7 segment led - Pmod



Pmod

Pinout Description Table

Header J1			Header J2		
Pin	Signal	Description	Pin	Signal	Description
1	AA	Segment A	1	AE	Segment E
2	AB	Segment B	2	AF	Segment F
3	AC	Segment C	3	AG	Segment G
4	AD	Segment D	4	C	Digit Selection pin
5	GND	Power Supply Ground	5	GND	Power Supply Ground
6	VCC	Positive Power Supply	6	VCC	Positive Power Supply



Seven-Segment Display Connection Diagram

ΜΟΝΟ ΤΟ ΈΝΑ ΑΠΌ ΤΑ 2 LED ΜΠΟΡΕΙ ΝΑ ΕΊΝΑΙ ΑΝΑΜΕΝΟ ΣΕ ΚΆΘΕ ΧΡΟΝΙΚΗ ΣΤΙΓΜΗ

Pmod: Peripheral Module interface

Εικόνες από το https://reference.digilentinc.com/reference/pmod/pmodssd/reference-manual

3η Εργαστηριακή Άσκηση

7 segment led - Pmod

Table 16 - Pmod Connections

Pmod	Signal Name	Zynq pin	Pmod	Signal Name	Zynq pin
JA1	JA1	Y11	JB1	JB1	W12
	JA2	AA11		JB2	W11
	JA3	Y10		JB3	V10
	JA4	AA9		JB4	W8
	JA7	AB11		JB7	V12
	JA8	AB10		JB8	W10
	JA9	AB9		JB9	V9
	JA10	AA8		JB10	V8

Θα βρείτε σε ποια Signal της FPGA αντιστοιχούν τα signal του Pmod.
Κατόπιν θα βρείτε σε ποια pin της FPGA αντιστοιχούν τα signal του Pmod.

3η Εργαστηριακή Άσκηση

ΠΡΟΧΩΡΗΣΤΕ ΣΤΗΝ ΑΣΚΗΣΗ

3η Εργαστηριακή Άσκηση

Αρχιτεκτονική

Αρχιτεκτονική

```
bcd_values: process is
begin
case bcd is
   when X"0" => seven_segment   <="0111111";    -- 0
   when X"1" => seven_segment   <="0000110";    -- 1
   when X"2" => seven_segment   <="1011011";    -- 2
   when X"3" => seven_segment   <="1001111";    -- 3
   when X"4" => seven_segment   <="1100110";    -- 4
   when X"5" => seven_segment   <="1101101";    -- 5
   when X"6" => seven_segment   <="1111101";    -- 6
   when X"7" => seven_segment   <="0000111";    -- 7
   when X"8" => seven_segment   <="1111111";    -- 8
   when X"9" => seven_segment   <="1101111";    -- 9
   when others => seven_segment <="1000000";  --  -
end case;
end process bcd_values;
digit_selection_out <=digit_selection_in;
```

3η Εργαστηριακή Άσκηση

Αρχιτεκτονική

Constraints

```
# On-board Slide Switches  #
##############################
set_property -dict { PACKAGE_PIN F21   IOSTANDARD LVCMOS33 } [get_ports { bcd[3] }];
set_property -dict { PACKAGE_PIN H22   IOSTANDARD LVCMOS33 } [get_ports { bcd[2] }];
set_property -dict { PACKAGE_PIN G22   IOSTANDARD LVCMOS33 } [get_ports { bcd[1] }];
set_property -dict { PACKAGE_PIN F22   IOSTANDARD LVCMOS33 } [get_ports { bcd[0] }];
set_property -dict { PACKAGE_PIN H19   IOSTANDARD LVCMOS33 } [get_ports { digit_selection_in }];

# On-board led          #
##############################
set_property -dict { PACKAGE_PIN Y11   IOSTANDARD LVCMOS33 } [get_ports { seven_segment[0] }];
set_property -dict { PACKAGE_PIN AA11  IOSTANDARD LVCMOS33 } [get_ports { seven_segment[1] }];
set_property -dict { PACKAGE_PIN Y10   IOSTANDARD LVCMOS33 } [get_ports { seven_segment[2] }];
set_property -dict { PACKAGE_PIN AA9   IOSTANDARD LVCMOS33 } [get_ports { seven_segment[3] }];
set_property -dict { PACKAGE_PIN W12   IOSTANDARD LVCMOS33 } [get_ports { seven_segment[4] }];
set_property -dict { PACKAGE_PIN W11   IOSTANDARD LVCMOS33 } [get_ports { seven_segment[5] }];
set_property -dict { PACKAGE_PIN V10   IOSTANDARD LVCMOS33 } [get_ports { seven_segment[6] }];

set_property -dict { PACKAGE_PIN W8   IOSTANDARD LVCMOS33 } [get_ports { digit_selection_out }];
```

3η Εργαστηριακή Άσκηση

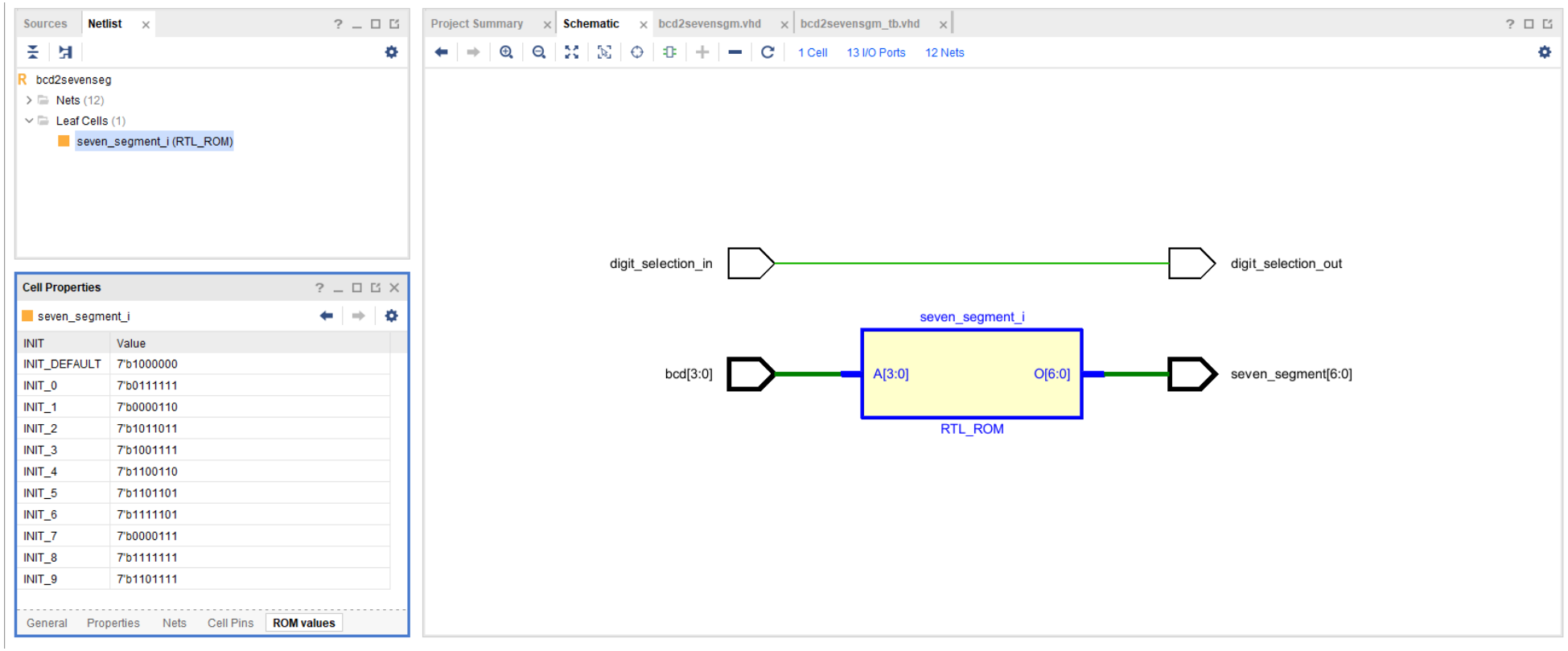
Pmod Manual

Manual LED (Pmod)

https://reference.digilentinc.com/reference/pmod/pmodssd/reference-manual

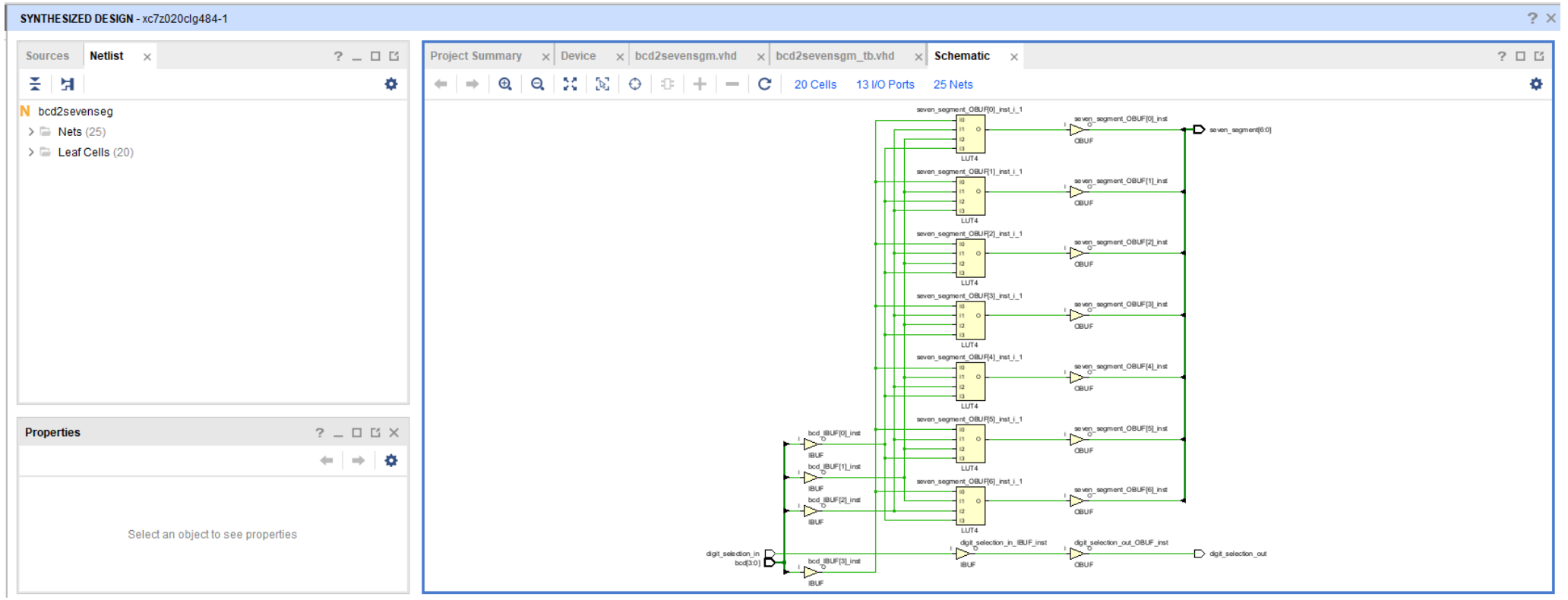
3η Εργαστηριακή Άσκηση

RTL Design - ROM Module/ROM Values



3η Εργαστηριακή Άσκηση

Synthesis/Implementation – Schematic

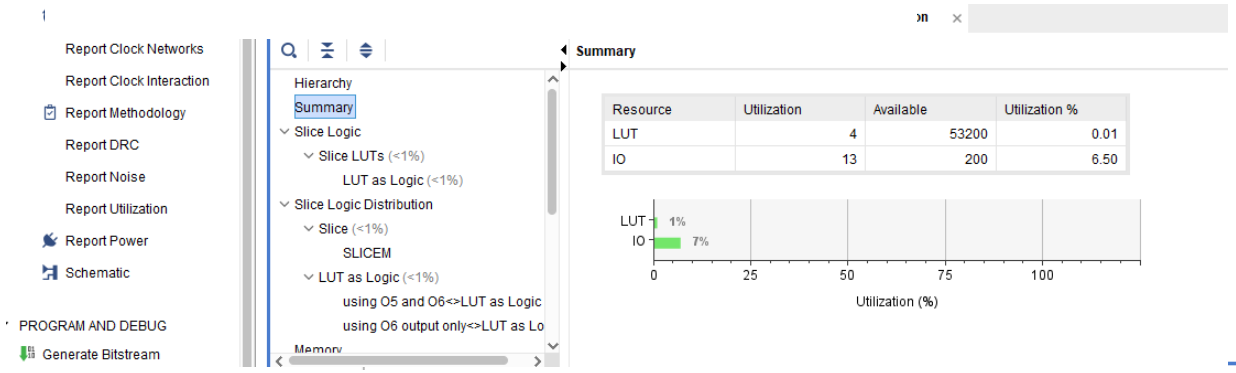


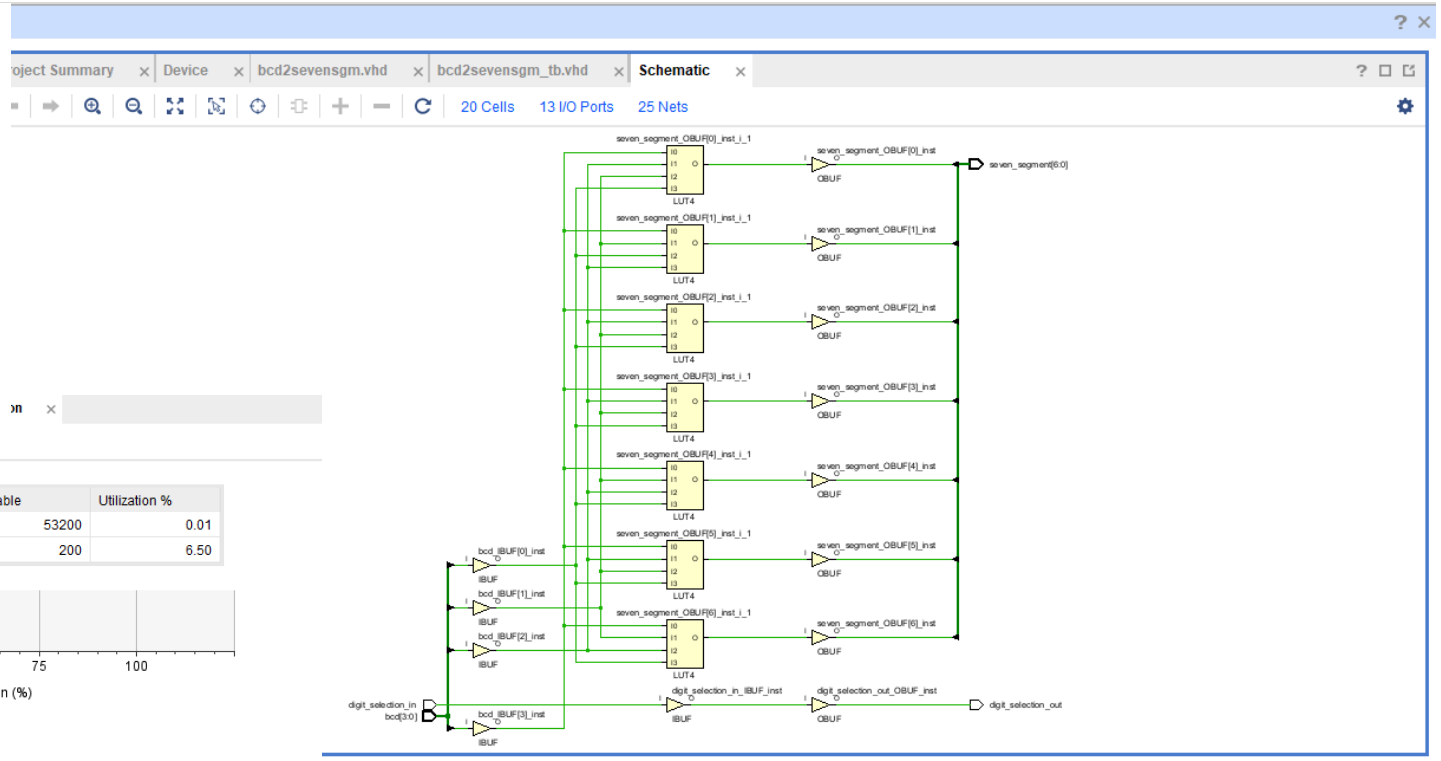
3η Εργαστηριακή Άσκηση

Implementation – Report Utilization (1/3)

Και από Project Summary

Διαφορετικά Lut στο report από το Design (4 αντί για 7). Κάποια συνενώνονται στο τελικό αποτέλεσμα σχηματίζοντας ζεύγη.

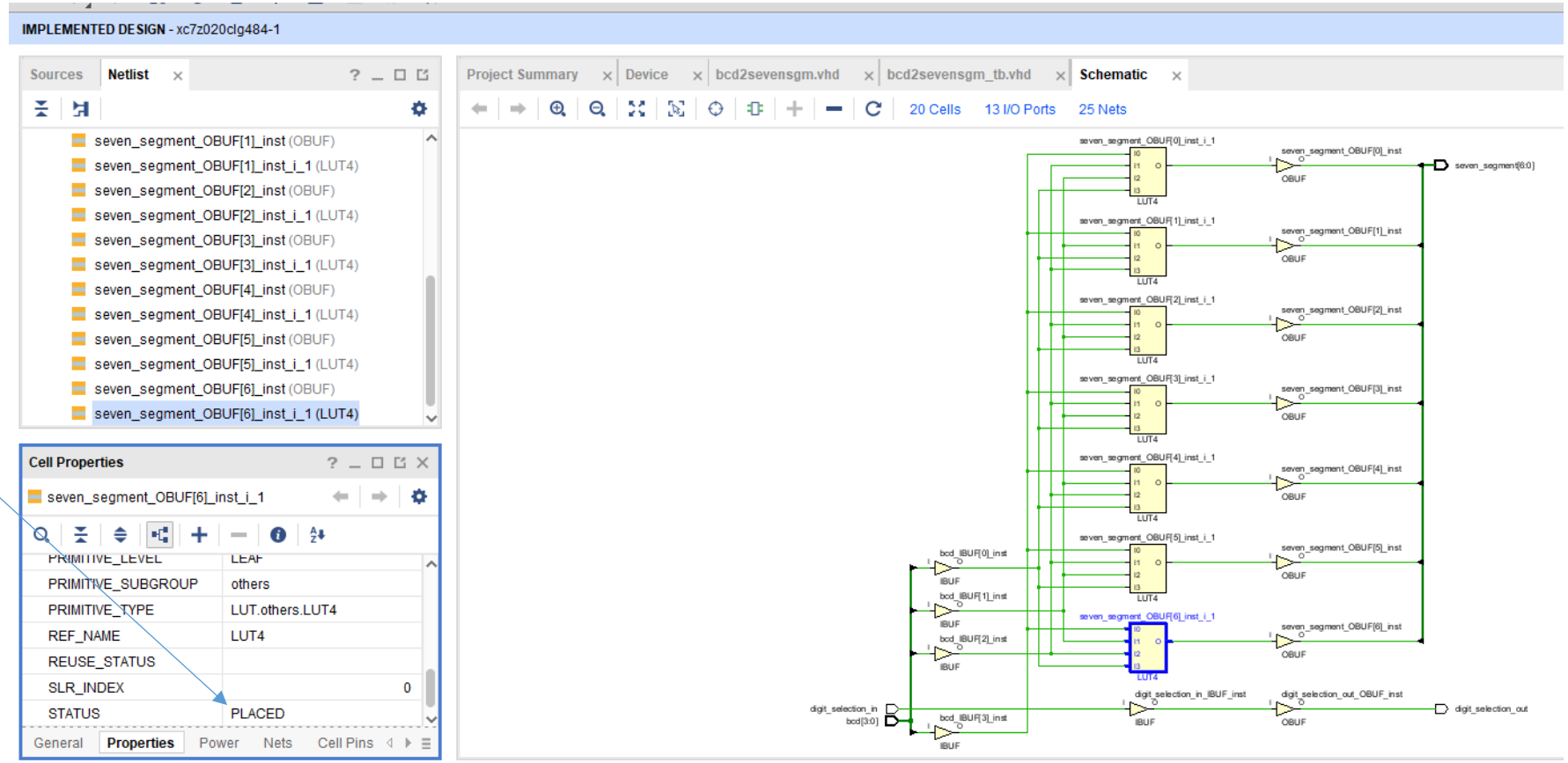




3η Εργαστηριακή Άσκηση

Implementation – Report Utilization (2/3)

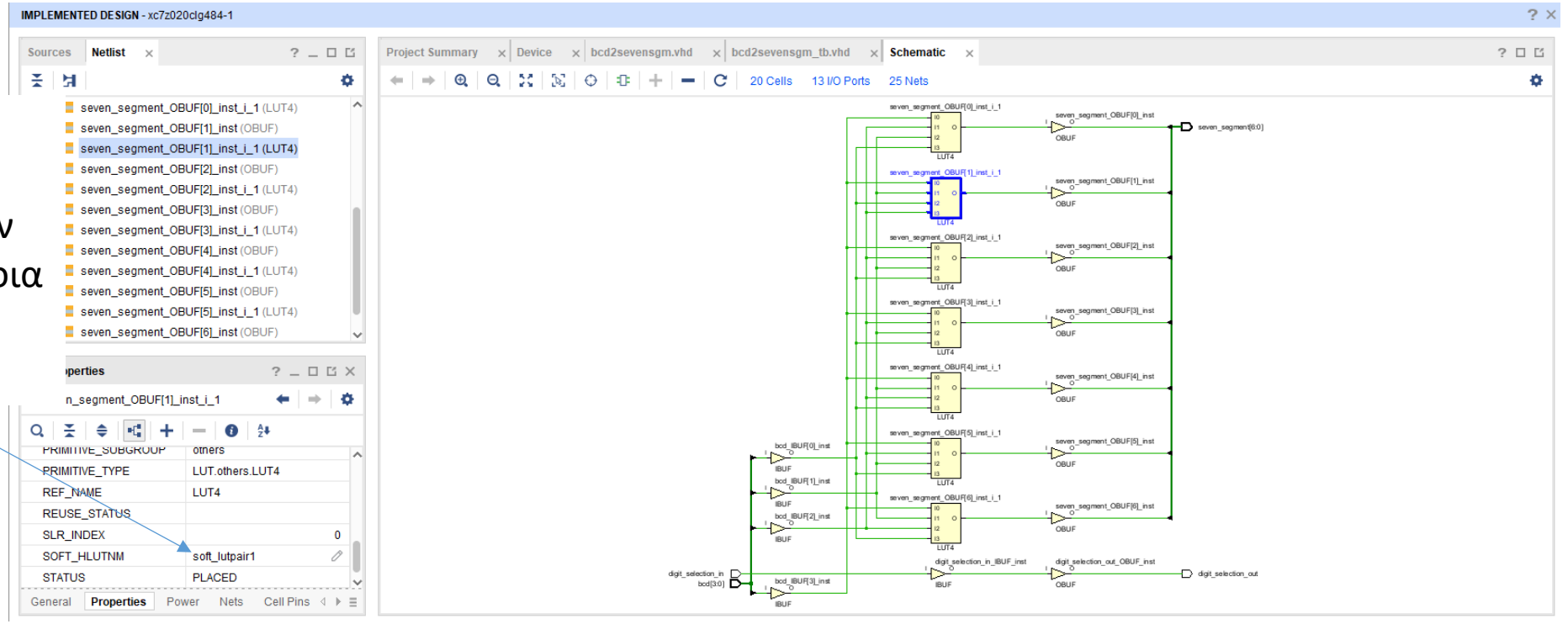
Το Lut διατηρείται



3η Εργαστηριακή Άσκηση

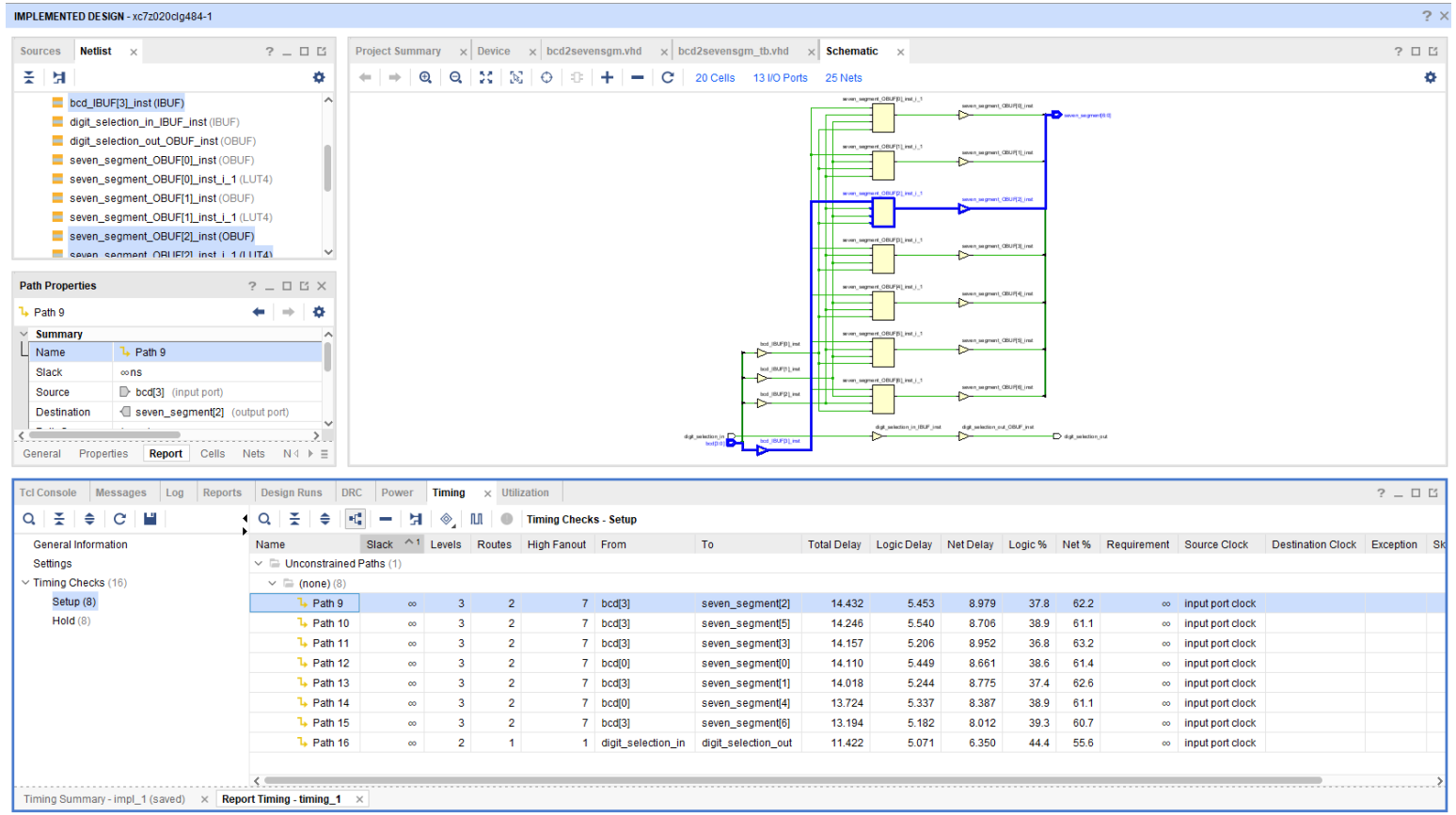
Implementation – Report Utilization (3/3)

Το Lut συνενώνεται με άλλο ένα ώστε να δημιουργήσουν το lutpair1 (υπάρχουν 3 τέτοια ζευγάρια)



3η Εργαστηριακή Άσκηση

Implementation – Timing Reports (1/2)

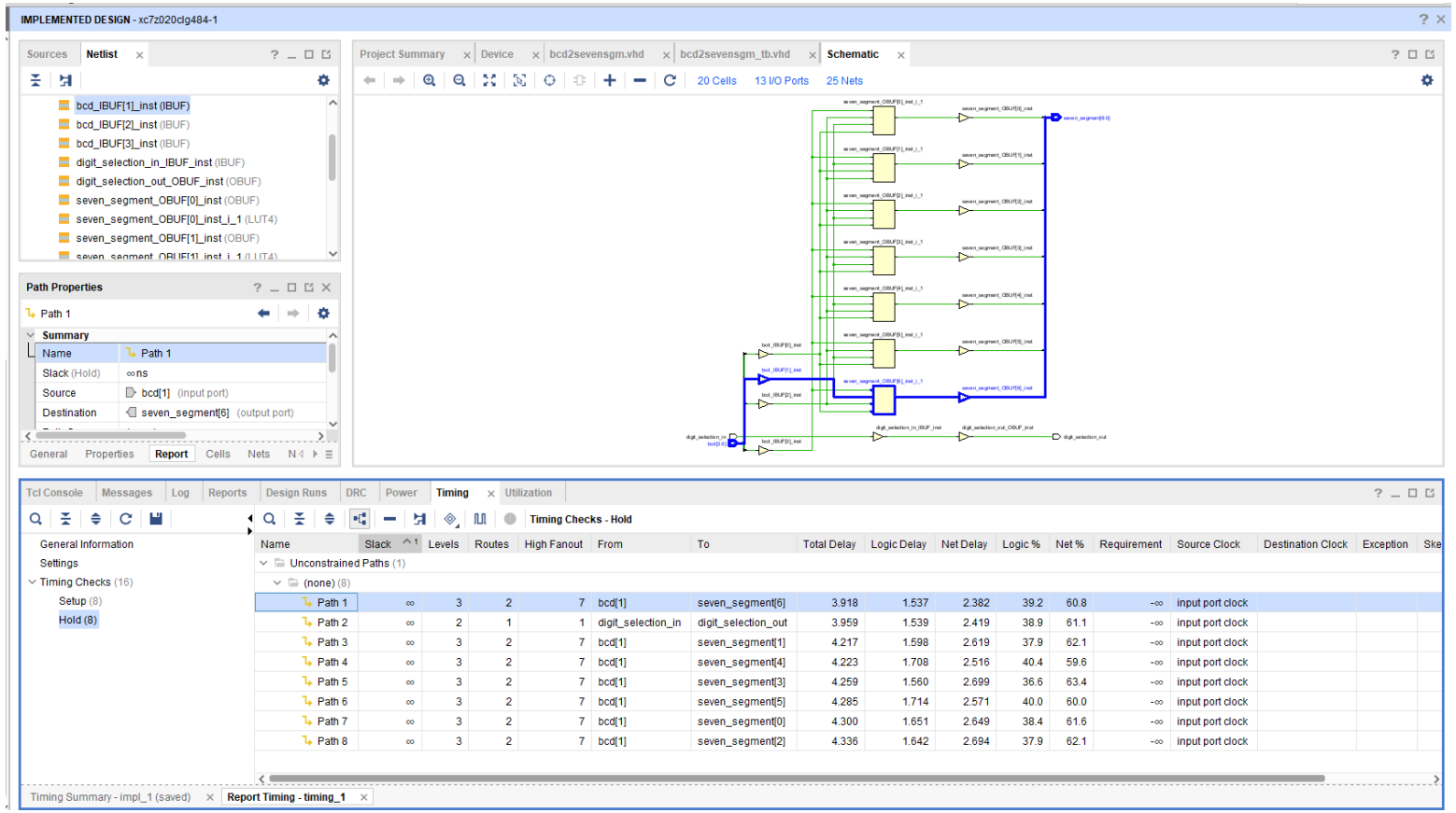


Menu Reports->Timing->Report Timing

Setup Time:
Αναφέρεται στις αργές διαδρομές (καθυστέρηση διάδοσης)

3η Εργαστηριακή Άσκηση

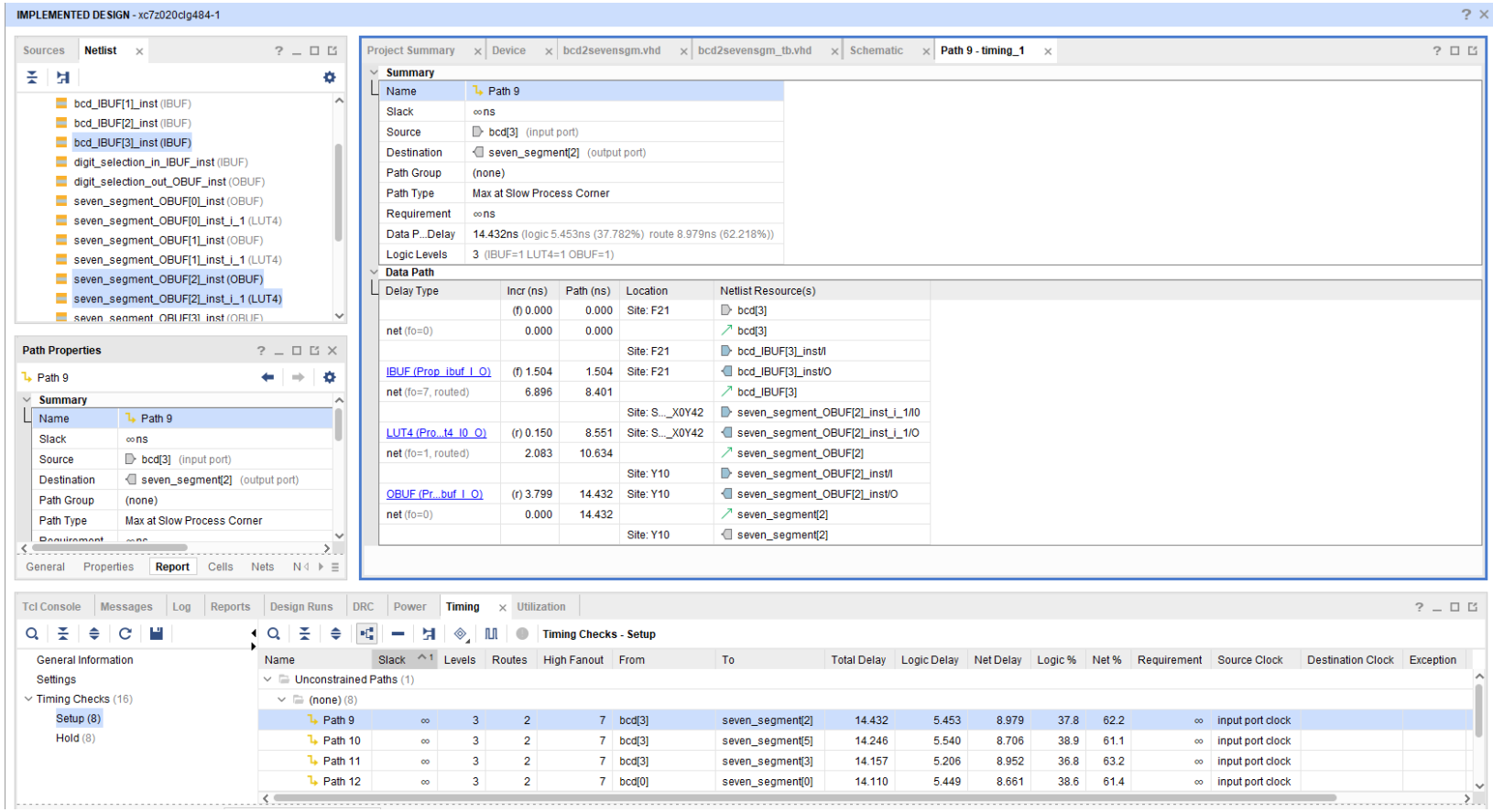
Implementation – Timing Reports (2/2)



Hold Time:
Αναφέρεται στις γρήγορες διαδρομές (καθυστέρηση μόλυνσης)

3η Εργαστηριακή Άσκηση

Implementation – Path Analysis



3η Εργαστηριακή Άσκηση

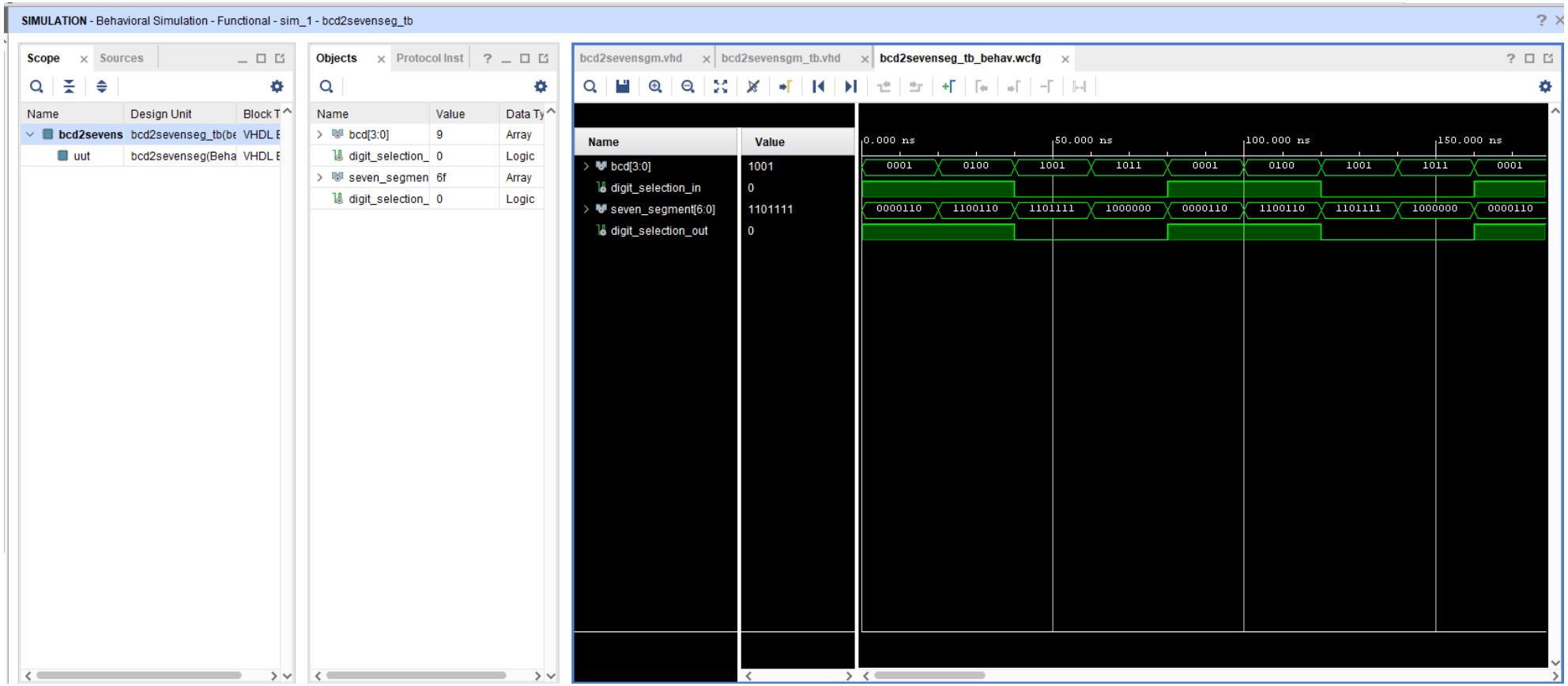
Simulation

```
LIBRARY ieee; USE ieee.std_logic_1164.ALL; USE ieee.numeric_std.ALL;

entity bcd2sevenseg_tb IS
end bcd2sevenseg_tb;

architecture behavior OF bcd2sevenseg_tb IS
-- Component Declaration for the Unit Under Test (UUT)

   component bcd2sevenseg
   port (
        digit_selection_in     : in std_logic;
        bcd                    : in std_logic_vector(3 downto 0);
        seven_segment          : out std_logic_vector(6 downto 0);
        digit_selection_out    : out std_logic
       );
   end component;

signal bcd                : std_logic_vector(3 downto 0) := (others => 'X');
signal digit_selection_in     : std_logic;
signal seven_segment          : std_logic_vector(6 downto 0);
signal digit_selection_out    : std_logic;
```

```
begin

uut: bcd2sevenseg PORT MAP (digit_selection_in => digit_selection_in,
                            bcd => bcd,
                            seven_segment => seven_segment,
                            digit_selection_out => digit_selection_out );

test_proc: process is
begin

   bcd<="0001"; digit_selection_in<='1';wait for 20ns;
   bcd<="0100";wait for 20ns;
   bcd<="1001"; digit_selection_in<='0';wait for 20ns;
   bcd<="1011";wait for 20ns;

end process test_proc;

end architecture behavior;
```

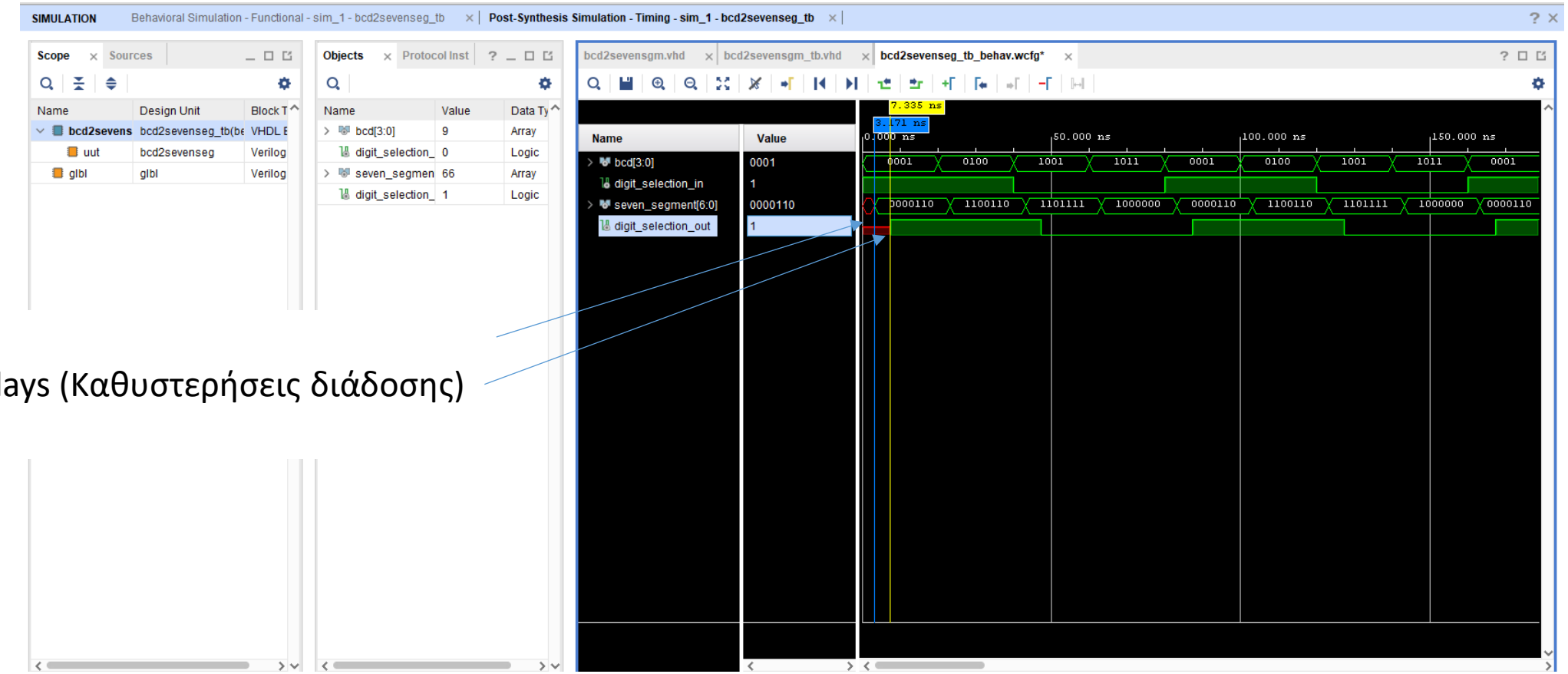
3η Εργαστηριακή Άσκηση

Simulation - Behavioral



3η Εργαστηριακή Άσκηση

Simulation – Post Synthesis Timing Simulation



Delays (Καθυστερήσεις διάδοσης)