



ΕΛΛΗΝΙΚΗ ΔΗΜΟΚΡΑΤΙΑ
Εθνικόν και Καποδιστριακόν
Πανεπιστήμιον Αθηνών
— ΙΔΡΥΘΕΝ ΤΟ 1837 —

ΣΧΟΛΗ ΘΕΤΙΚΩΝ ΕΠΙΣΤΗΜΩΝ

ΤΜΗΜΑ ΑΕΡΟΔΙΑΣΤΗΜΙΚΗΣ ΕΠΙΣΤΗΜΗΣ ΚΑΙ ΤΕΧΝΟΛΟΓΙΑΣ

ΔΠΜΣ Space Technologies, Applications and seRvices (STAR)

M806 Space Data Systems

**ΤΕΧΝΟΛΟΓΙΕΣ ΨΗΦΙΑΚΩΝ ΣΥΣΤΗΜΑΤΩΝ ΚΑΙ
ΜΕΘΟΔΟΛΟΓΙΑ ΣΧΕΔΙΑΣΗΣ**

Ακαδημαϊκό Έτος 2023-2024

Νεκτάριος Κρανίτης

Τα ψηφιακά συστήματα αλλάζουν!

Μικρά



Μικρά + μεγάλα



Μικρά + μεγάλα και ετερογενή !

Τα ψηφιακά συστήματα είναι επαναδιαμορφώσιμα

Η επαναδιαμόρφωση (reconfiguration) είναι παντού στην καθημερινότητά μας!



Full+static



Partial+static



Partial+dynamic

Επαναδιαμόρφωση (reconfiguration)

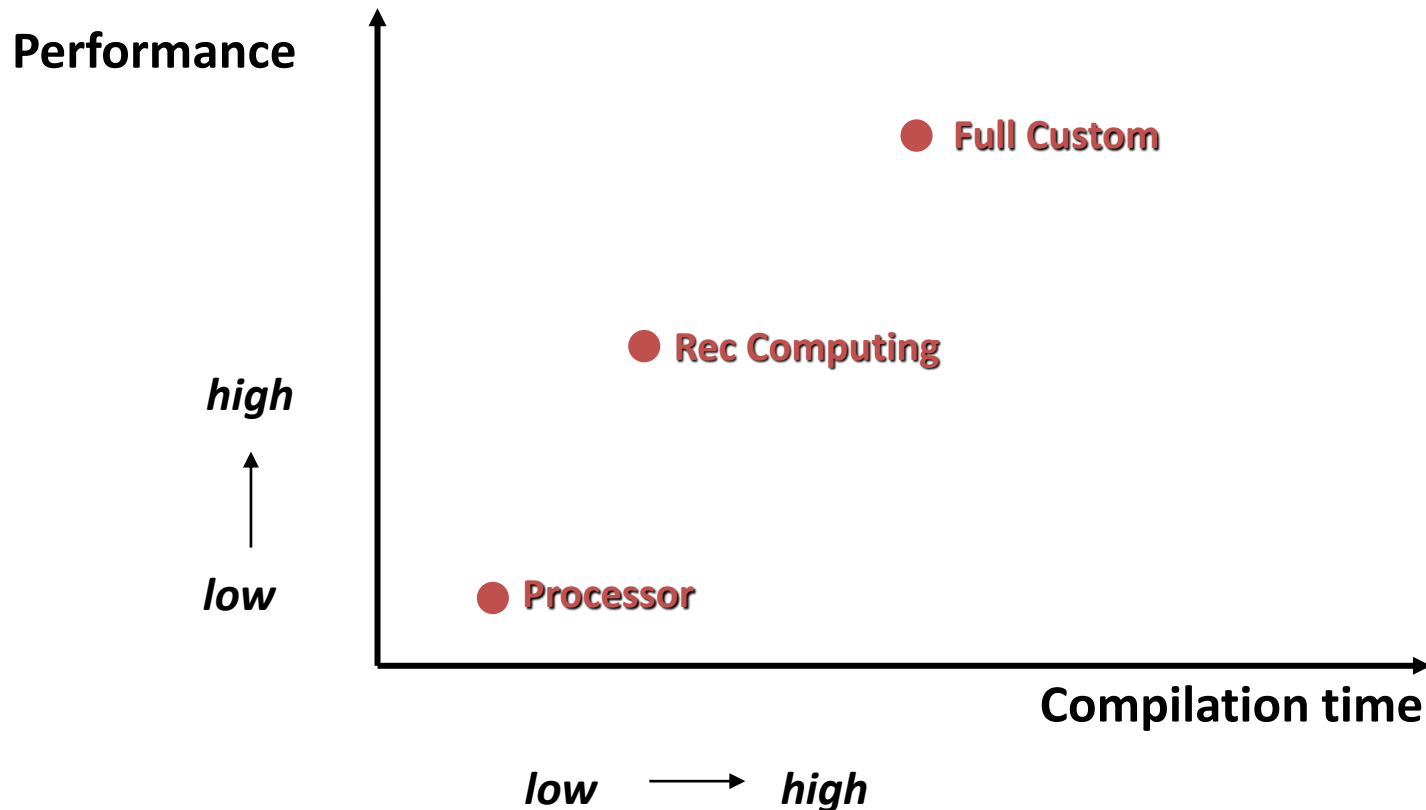
The process of physically altering the location or functionality of network or system elements.

Automatic configuration describes the way sophisticated networks can readjust themselves in the event of a link or device failing, enabling the network to continue operation.

Gerald Estrin, 1960

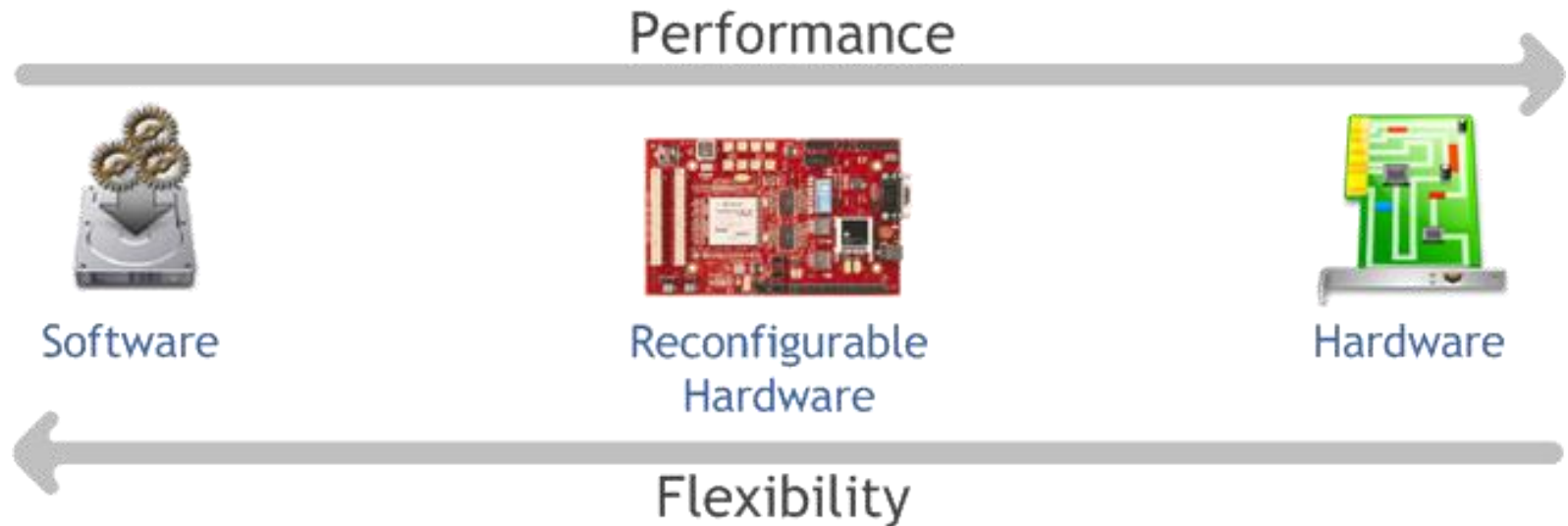


Επαναδιαμορφώσιμη υπολογιστική (reconfigurable computing)



Reconfigurable computing is defined as the study of computation using reconfigurable devices

Επαναδιαμορφώσιμα συστήματα υλικού

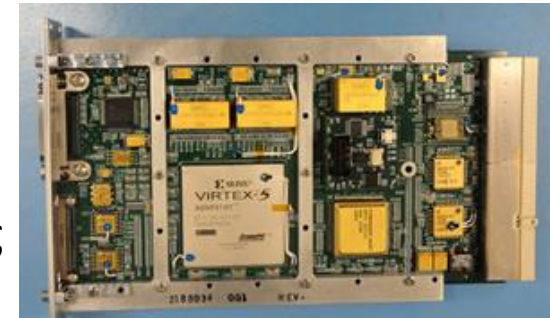


“Reconfigurable computing is intended to fill the gap between hardware and software, achieving potentially much higher performance than software, while maintaining a higher level of flexibility than hardware”

(K. Compton and S. Hauck, *Reconfigurable Computing: a Survey of Systems and Software*, 2002)

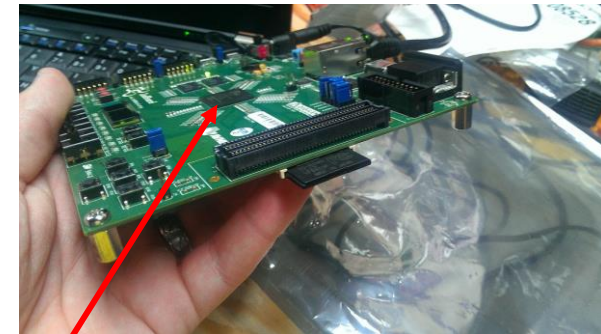
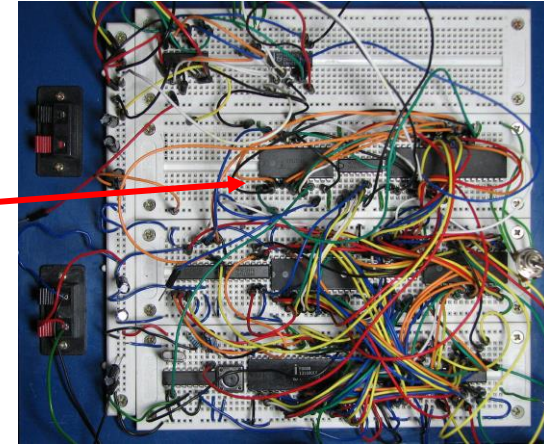
Επαναδιαμορφώσιμα συστήματα στο διάστημα

- Adaptable instrument
 - Προσαρμόζεται σε απρόσμενα συμβάντα
 - Αλλαγή ή επέκταση των επιστημονικών στόχων
 - Αυξημένο yield στα επιστημονικά δεδομένα
 - Μειωμένος κίνδυνος για ολική απώλεια του οργάνου
- Dynamic Adaptability
 - Διαστημική τεχνολογία αιχμής
 - Time-Space Partitioning
 - Όταν δεν χρειάζονται ταυτόχρονα όλες οι λειτουργίες
 - Σημαντικά οφέλη στο size, weight, power and cost (SWaP-C)



Η εξέλιξη της ψηφιακής σχεδίασης στο χρόνο...

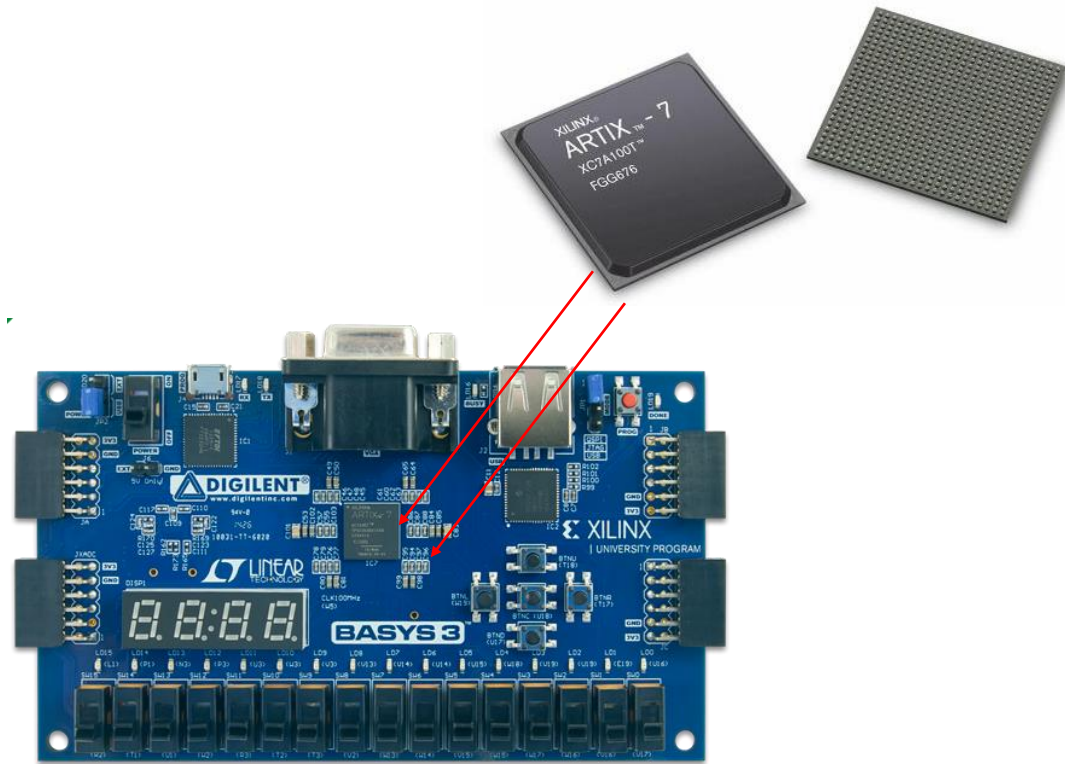
- Παλαιότερα: Χρήση bread-boards
 - Καλωδίωση κυκλωμάτων SSI-MSI (DIP) με το χέρι
 - Περιορισμός σε λογικές πύλες (≈ 100)
 - Χωρίς χρήση εργαλείων λογισμικού
 - Χρήση παλμογράφου για verification και debug
- Σήμερα: Χρήση development boards με FPGAs
 - Μεγάλη πυκνότητα ολοκλήρωσης ($\approx 100K$ Logic Cells)
 - Σχεδίαση με γλώσσα περιγραφής υλικού
 - Χρήση εργαλείων λογισμικού για λογική σύνθεση (logic synthesis) και υλοποίηση (implementation) για συγκεκριμένο FPGA
 - Verification με εργαλεία προσομοίωσης
 - Debug με χρήση ειδικών κυκλωμάτων στο υλικό (on-chip debug)



Κόστος σχεδίασης και υλοποίησης σε FPGAs



+

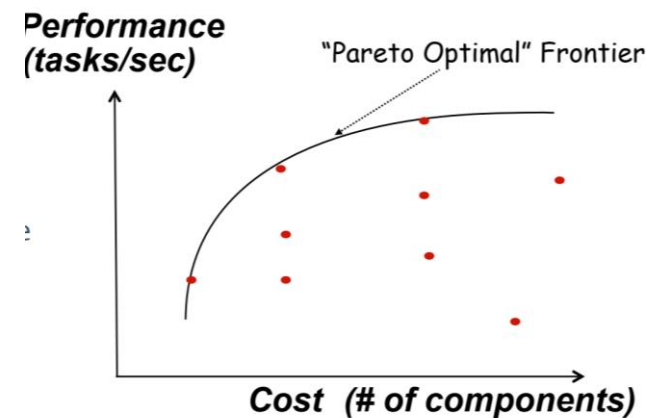
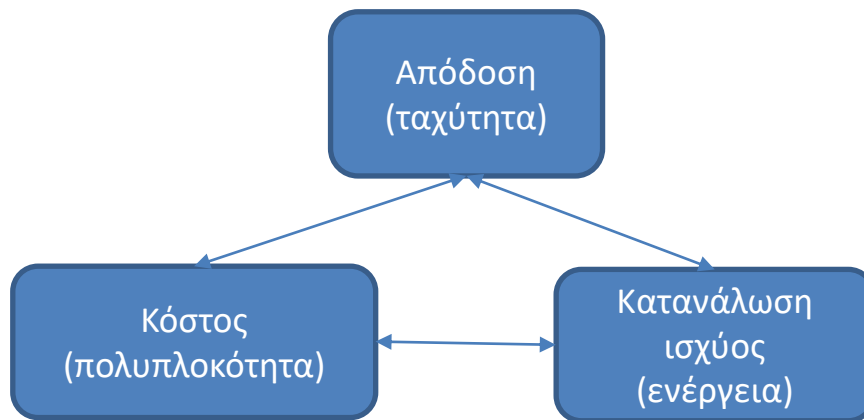


Κόστος λογισμικού: **0\$!!!!!**
(free WebPACK Edition)

Κόστος κάρτας: **79\$!!!!!**
(στο εργαστήριο θα χρησιμοποιήσουμε πιο σύνθετα boards..)

Βασικοί συμβιβασμοί στη σχεδίαση

- Η σχεδίαση ψηφιακών συστημάτων είναι ταυτόχρονα επιστήμη και τέχνη
 - Το δημιουργικό πνεύμα είναι κρίσιμο στο συνδυασμό βασικών στοιχείων και άλλων συστατικών σε νέους τρόπους για να επιτευχθεί η επιθυμητή λειτουργία
 - Όμως, αντίθετα με την τέχνη, υπάρχουν αντικειμενικές μετρικές

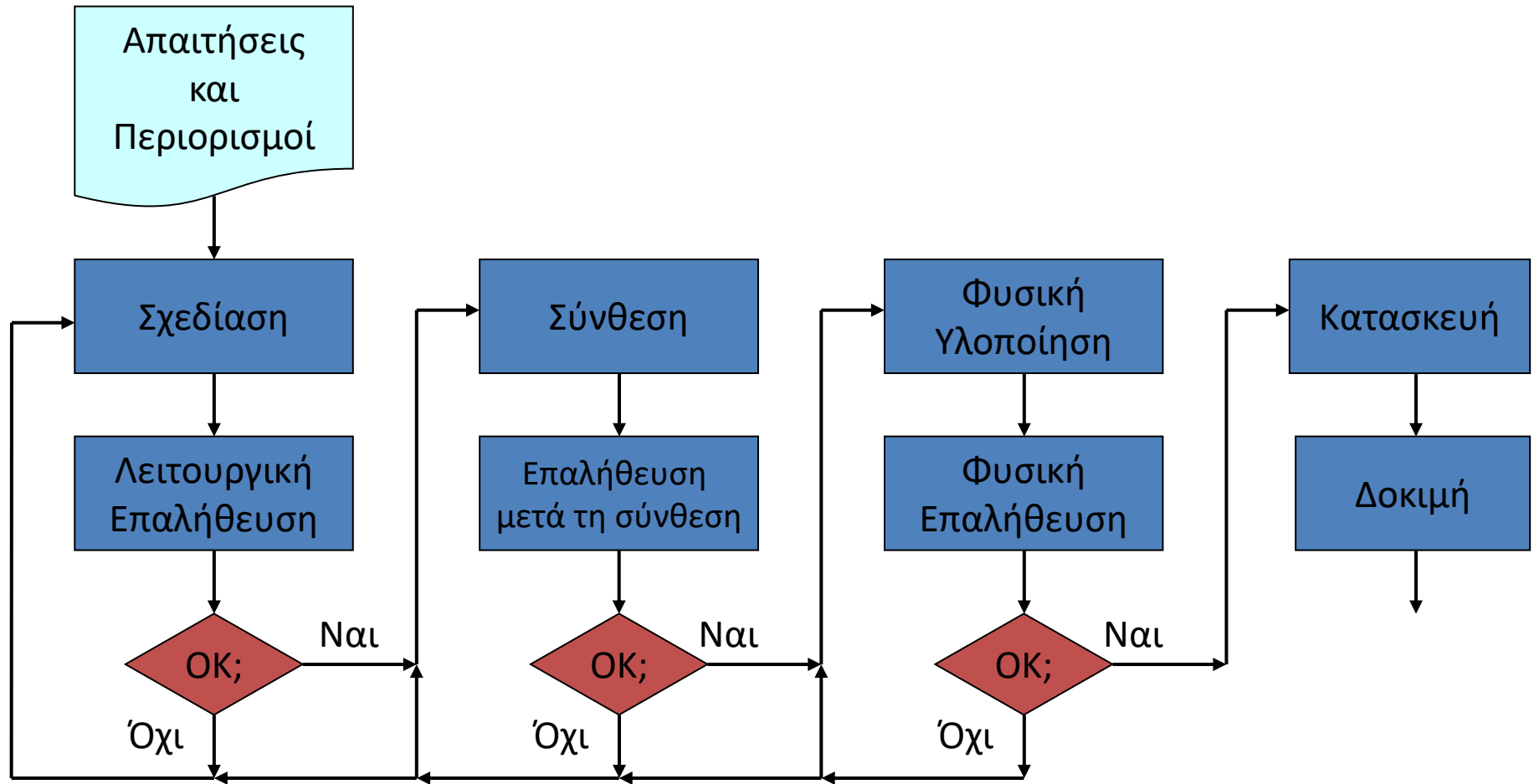


- Μπορούμε να βελτιώσουμε το ένα εις βάρος ενός άλλου ή και των δύο άλλων
- Αυτοί οι συμβιβασμοί υπάρχουν σε κάθε επίπεδο στη σχεδίαση του συστήματος
- Προδιαγραφές σχεδίασης
 - Λειτουργική περιγραφή
 - Απόδοση, κόστος, κατανάλωση ισχύος
- **Ως σχεδιαστές, πρέπει να κάνετε τους κατάλληλους συμβιβασμούς για να υλοποιήσετε την λειτουργία ικανοποιώντας τους περιορισμούς**

Μεθοδολογία Σχεδίασης

- Τα απλά συστήματα μπορούν να σχεδιαστούν από ένα άτομο χρησιμοποιώντας ειδικές μεθόδους
- Τα πραγματικά συστήματα σχεδιάζονται από ομάδες
 - Απαιτούν μια συστηματική μεθοδολογία σχεδίασης
- Καθορίζει
 - Τις εργασίες που αναλαμβάνουμε
 - Την πληροφορία που απαιτείται και παράγεται
 - Τις σχέσεις μεταξύ των εργασιών
 - εξαρτήσεις, καθορισμός των ακολουθιών
 - Τα εργαλεία EDA που χρησιμοποιούνται

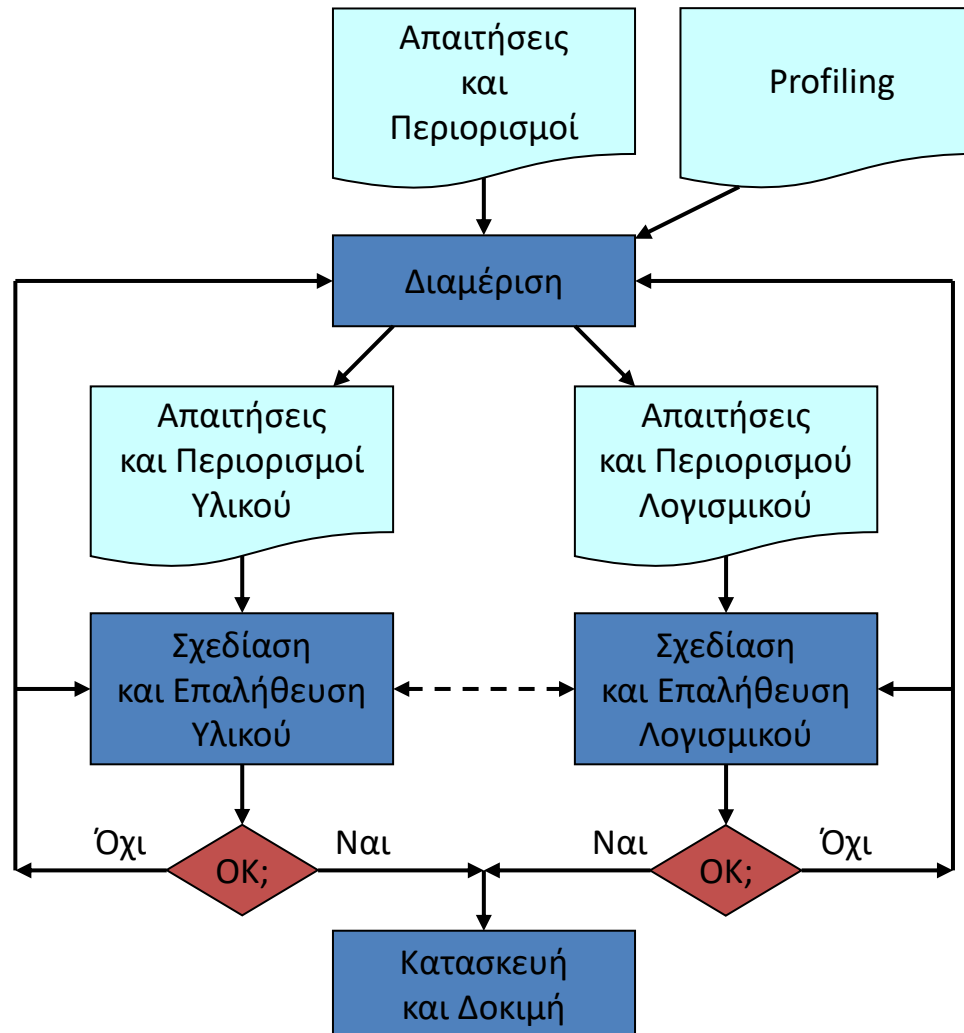
Μια Απλή Μεθοδολογία Σχεδίασης



Ιεραρχική Σχεδίαση

- Τα κυκλώματα είναι αρκετά πολύπλοκα για να σχεδιάσουμε όλες τις λεπτομέρειες με τη μία
- Σχεδιάζουμε υποσυστήματα για απλές λειτουργίες
- Συνθέτουμε το σύστημα από τα υποσυστήματα
 - Αντιμετωπίζουμε τα υποκυκλώματα ως «μαύρα κουτιά»
 - Επαληθεύουμε ανεξάρτητα, και έπειτα επαληθεύουμε τη σύνθεση
- Σχεδίαση top-down (από πάνω προς τα κάτω) ή bottom-up (από κάτω προς τα πάνω)

Μεθοδολογία Συσχεδίασης



Σύνθεση (Synthesis)

- Συνήθως σχεδιάζουμε χρησιμοποιώντας HDL επιπέδου μεταφοράς καταχωρητή (RTL)
 - υψηλότερο επίπεδο αφαίρεσης από τις πύλες
- Το εργαλείο σύνθεσης μεταφράζει το μοντέλο σε ένα κύκλωμα από πύλες που εκτελεί την ίδια λειτουργία
- Προσδιορίζουμε στο εργαλείο
 - την τεχνολογία υλοποίησης που στοχεύουμε
 - περιορισμούς στο χρονισμό, στην επιφάνεια, κλπ.
- Επαλήθευση μετά τη σύνθεση
 - το κύκλωμα που προέκυψε από τη σύνθεση ικανοποιεί τους περιορισμούς

Φυσική Υλοποίηση (Implementation)

- Τεχνολογίες υλοποίησης
 - Application-specific ICs (ASICs): Ολοκληρωμένα κυκλώματα εξειδικευμένα για εφαρμογές
 - Field-programmable gate arrays (FPGAs): Επιτόπου προγραμματιζόμενοι πίνακες πυλών
- Χωροθέτηση (floor-planning): διευθετεί τα υποσυστήματα
- Τοποθέτηση (placement): διευθετεί τις πύλες μέσα στα υποσυστήματα
- Δρομολόγηση (routing): ενώνει τις πύλες με αγωγούς
- Φυσική επαλήθευση (physical verification)
 - Το φυσικό κύκλωμα συνεχίζει να ικανοποιεί τους περιορισμούς
 - Χρησιμοποιεί καλύτερες εκτιμήσεις των καθυστερήσεων

**Πώς λύνουμε ένα πρόβλημα,
μετακινώντας ηλεκτρόνια;**

Σχεδίαση με χρήση Αφαίρεσης

- Αφαίρεση (Abstraction)
 - Εστιάζουμε σε σημαντικές πτυχές του συστήματος, αγνοώντας κάποιες άλλες
 - Μην παραβιάζετε υποθέσεις που σας επιτρέπουν να αγνοήσετε κάποια πτυχή!

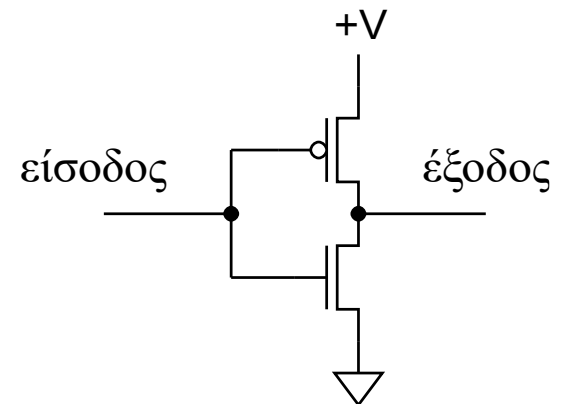
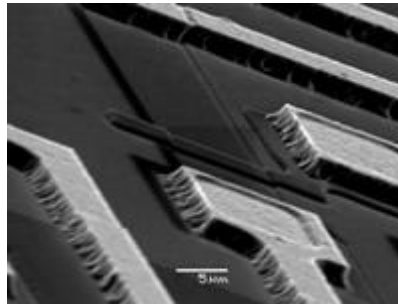
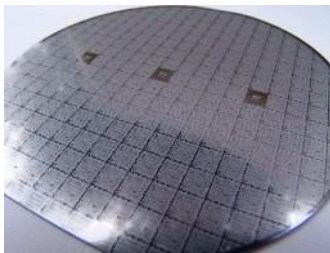
Πρόβλημα		
Αλγόριθμος		
Λογισμικό εφαρμογών		Προγράμματα
Λειτουργικά συστήματα		Προγράμματα οδήγησης διατάξεων/συσκευών
Αρχιτεκτονική		Εντολές Καταχωρητές
Μικρο-αρχιτεκτονική		Διαδρομές δεδομένων Ελεγκτές
Λογική		Αθροιστές Μνήμες
Ψηφιακά κυκλώματα		Πύλες AND Πύλες NOT
Αναλογικά κυκλώματα		Ενισχυτές Φίλτρα
Διατάξεις		Τρανζίστορ Δίοδοι
Φυσική		Ηλεκτρόνια

Πραγματικά Κυκλώματα

- Υποθέσεις πίσω από την ψηφιακή αφαίρεση
 - Ιδανικά κυκλώματα, μόνο δύο επίπεδα τάσης, στιγμιαίες μεταβάσεις, καμία καθυστέρηση
- Απλοποιεί σημαντικά τη λειτουργική σχεδίαση
- Περιορισμοί προκύπτουν από τα πραγματικά συστατικά στοιχεία και από τη φυσική
- Το να ικανοποιηθούν οι περιορισμοί μας εξασφαλίζει ότι τα κυκλώματα είναι «αρκετά ιδανικά» για να υποστηρίξουν τις αφαιρέσεις

Ολοκληρωμένα κυκλώματα (IC)

- Κυκλώματα που κατασκευάζονται στην επιφάνεια ενός πλακιδίου πυριτίου
 - Ελάχιστο χαρακτηριστικό μέγεθος που μειώνεται σε κάθε τεχνολογική γενιά
 - CMOS: συμπληρωματικά (complementary) MOSFET κυκλώματα
 - Νόμος του Moore: αύξηση του αριθμού των τρανζίστορ

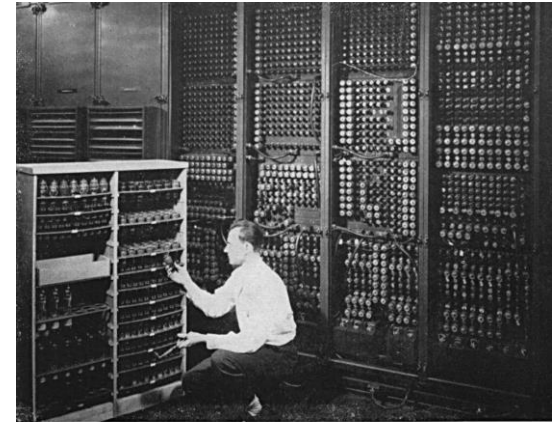


2nm Process Nodes

	Samsung ^{[38][34]}	TSMC			Intel	
Process name	2GAP	N2	N2P	N2X	20A	18A
Transistor type	MBCFET	GAAFET	GAAFET	GAAFET	RibbonFET	RibbonFET
Transistor density (MTr/mm ²)	Unknown	258.7 ^[39]	Unknown	Unknown	Unknown	Unknown
SRAM bit-cell size (μm ²)	Unknown	Unknown	Unknown	Unknown	Unknown	Unknown
Transistor gate pitch (nm)	Unknown	Unknown	Unknown	Unknown	Unknown	Unknown
Interconnect pitch (nm)	Unknown	Unknown	Unknown	Unknown	Unknown	Unknown
Release status	2025 volume production ^[32]	2024 H2 risk production 2025 volume production ^[4]	2026 production readiness ^[37]	Unknown	2024 H1 risk production ^[40] 2024 volume production ^{[31][30]}	2024 H2 risk production ^[40] 2025 production ^[31] ^[30]

Ολοκληρωμένα Κυκλώματα (ICs)

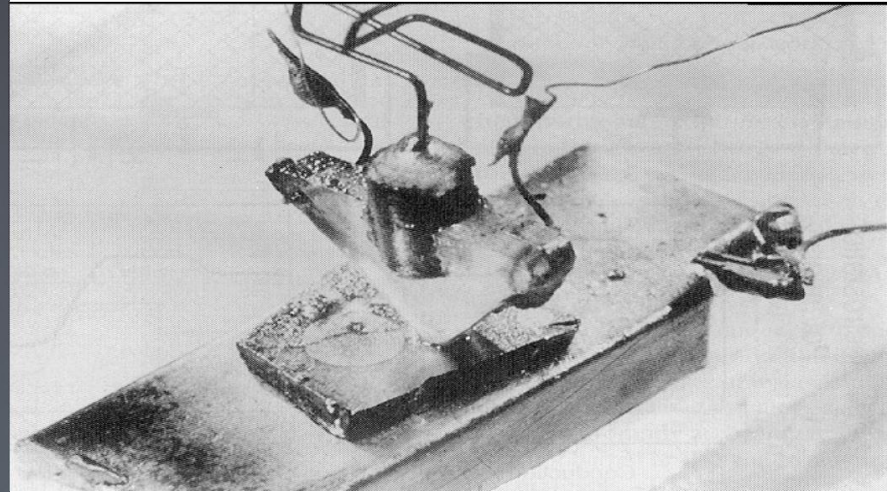
- Τα πρώτα ψηφιακά κυκλώματα
 - Ρελέ, λυχνίες κενού, διακριτά τρανζίστορ



Replacing a bad tube meant checking among ENIAC's 19,000 possibilities.

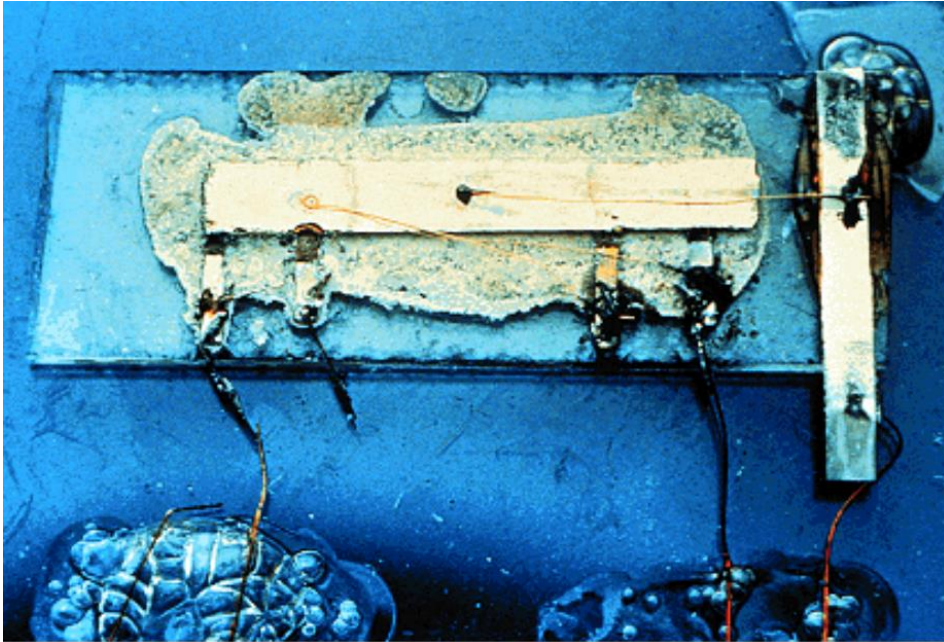
- Ολοκληρωμένα κυκλώματα (Integrated Circuits – ICs), ή “τσιπ”
 - Κατασκευή πολλών τρανζίστορ και συνδέσεων στην επιφάνεια ενός πλακιδίου πυριτίου (wafer)
 - Εφευρέθηκε το 1958 από τον Jack Kilby στην Texas Instruments (TI)
 - Ραγδαία εξέλιξη από τότε, που συνεχίζεται

Ολοκληρωμένα Κυκλώματα (ICs)

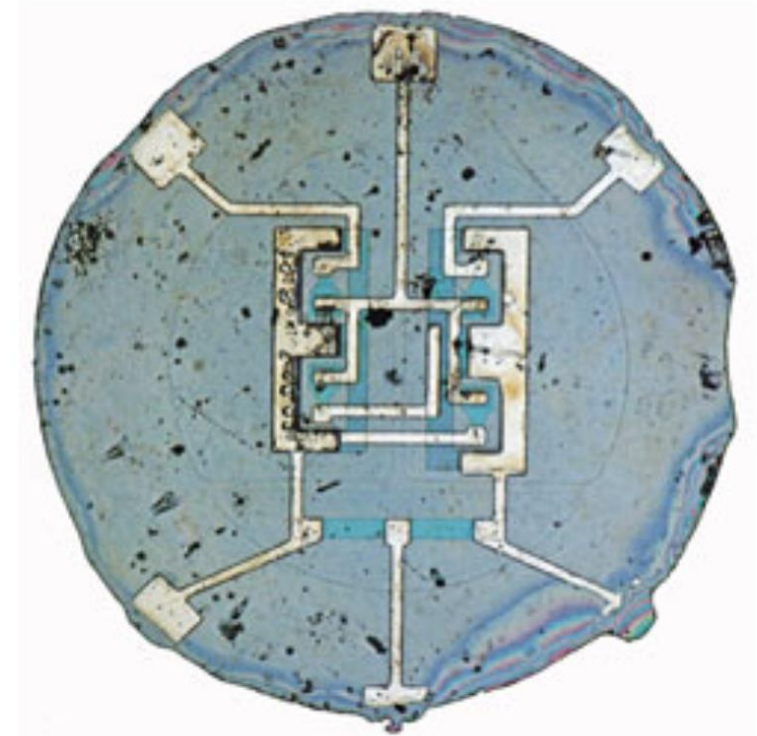


First transistor
Bell Labs, Dec 1947

Τα πρώτα ολοκληρωμένα κυκλώματα (1958-59)



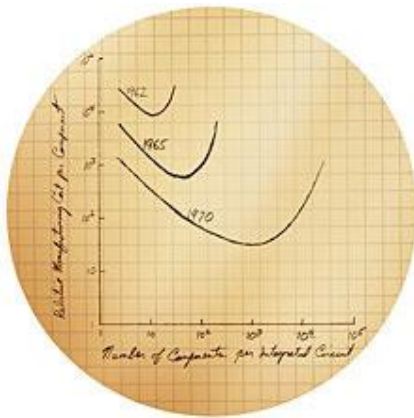
Jack Kilby, Texas Instruments



Bob Noyce, Fairchild

Πυκνότητα ολοκλήρωσης

- Νόμος του Moore
 - Ο Gordon Moore προέβλεψε (1965, 1975) την συρρίκνωση του μεγέθους των transistors
- Διπλασιασμός της πυκνότητας ολοκλήρωσης (# transistors)
 - Κάθε 12 μήνες (1965)
 - Κάθε 24 μήνες (1975)
- Διπλασιασμός της απόδοσης κάθε 18 μήνες (D. House)



Gordon Moore
Συνιδρυτής της Intel
Επίτιμος Πρόεδρος



Our World
in Data

Transistor count

10,000,000,000

5,000,000,000

1,000,000,000

500,000,000

100,000,000

50,000,000

10,000,000

5,000,000

1.000.000

500.000

100.000

50,000

10 000

10,000
5,000

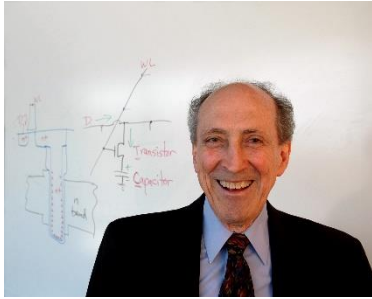
1,000'



Year in which the microchip was first introduced

Licensed under [CC-BY](#) by the authors Hannah Ritchie and Max Roser.

Dennard Scaling (1974)



IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. SC-9, NO. 5, OCTOBER 1974

Design of Ion-Implanted MOSFET's with Very Small Physical Dimensions

ROBERT H. DENNARD, MEMBER, IEEE, FRITZ H. GAENSSLEN, HWA-NIEN YU, MEMBER, IEEE, V. LEO RIDEOUT, MEMBER, IEEE, ERNEST BASSOUS, AND ANDRE R. LEBLANC, MEMBER, IEEE

- Οι τάσεις (και τα ρεύματα) θα πρέπει να κλιμακώνουν αναλογικά με τις διαστάσεις των transistor
 - Παρόμοια θα κλιμακώνει η καθυστέρηση και η κατανάλωση ισχύος
 - Και θεωρητικά, η πυκνότητα ισχύος (power density) θα είναι σταθερή

$$Delay \approx C \cdot V / I_{avg}$$

$$P \approx C \cdot V^2 / Delay$$

TABLE I

SCALING RESULTS FOR CIRCUIT PERFORMANCE

Device or Circuit Parameter	Scaling Factor
Device dimension t_{ox} , L , W	$1/\kappa$
Doping concentration N_A	κ
Voltage V	$1/\kappa$
Current I	$1/\kappa$
Capacitance $\epsilon A/t$	$1/\kappa$
Delay time/circuit VC/I	$1/\kappa$
Power dissipation/circuit VI	$1/\kappa^2$
Power density VI/A	1

Τι κάνουμε:

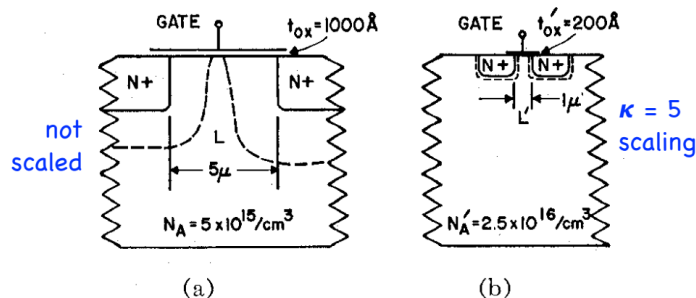
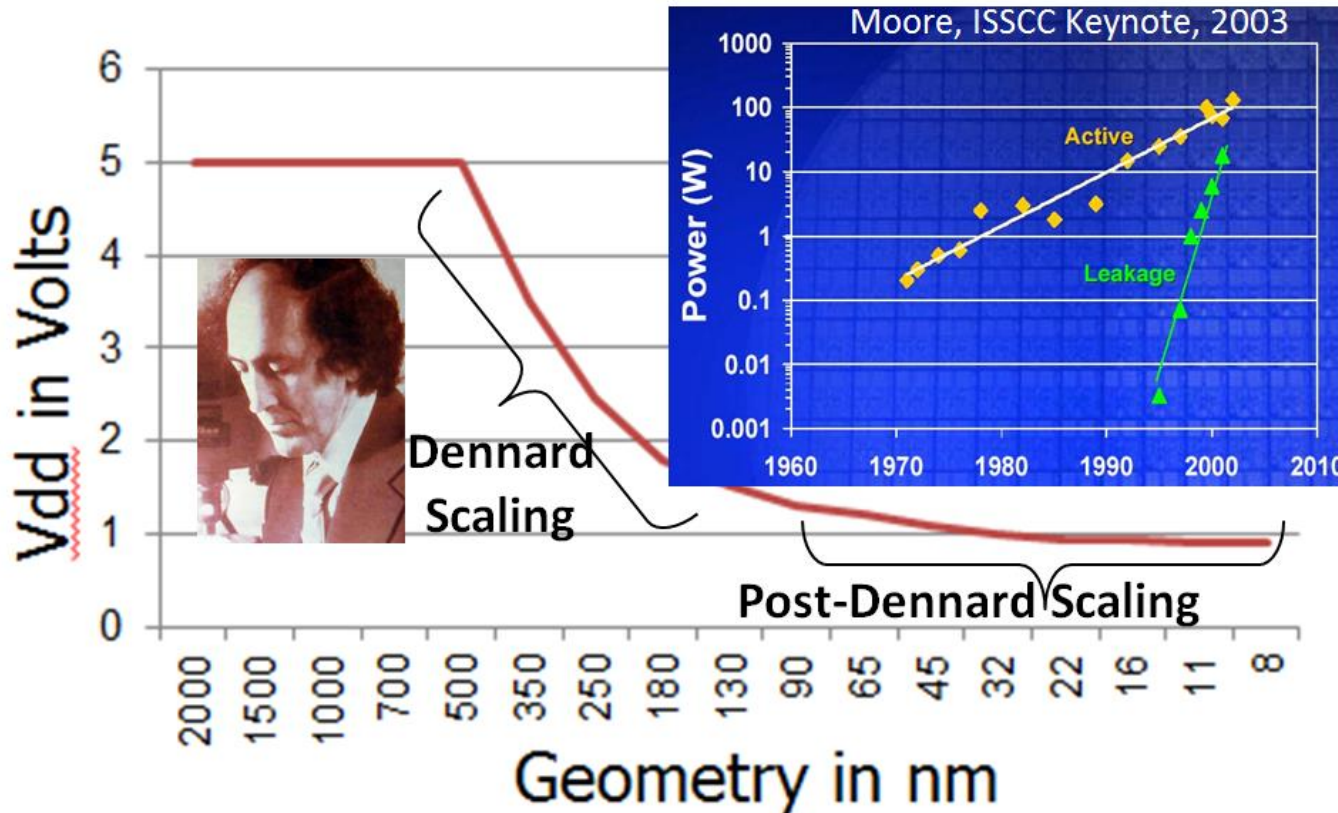


Fig. 1. Illustration of device scaling principles with $\kappa = 5$. (a) Conventional commercially available device structure. (b) Scaled-down device structure.

Τί κερδίζουμε:
 κ^2 περισσότερα transistors
 στην ίδια πυκνότητα ισχύος

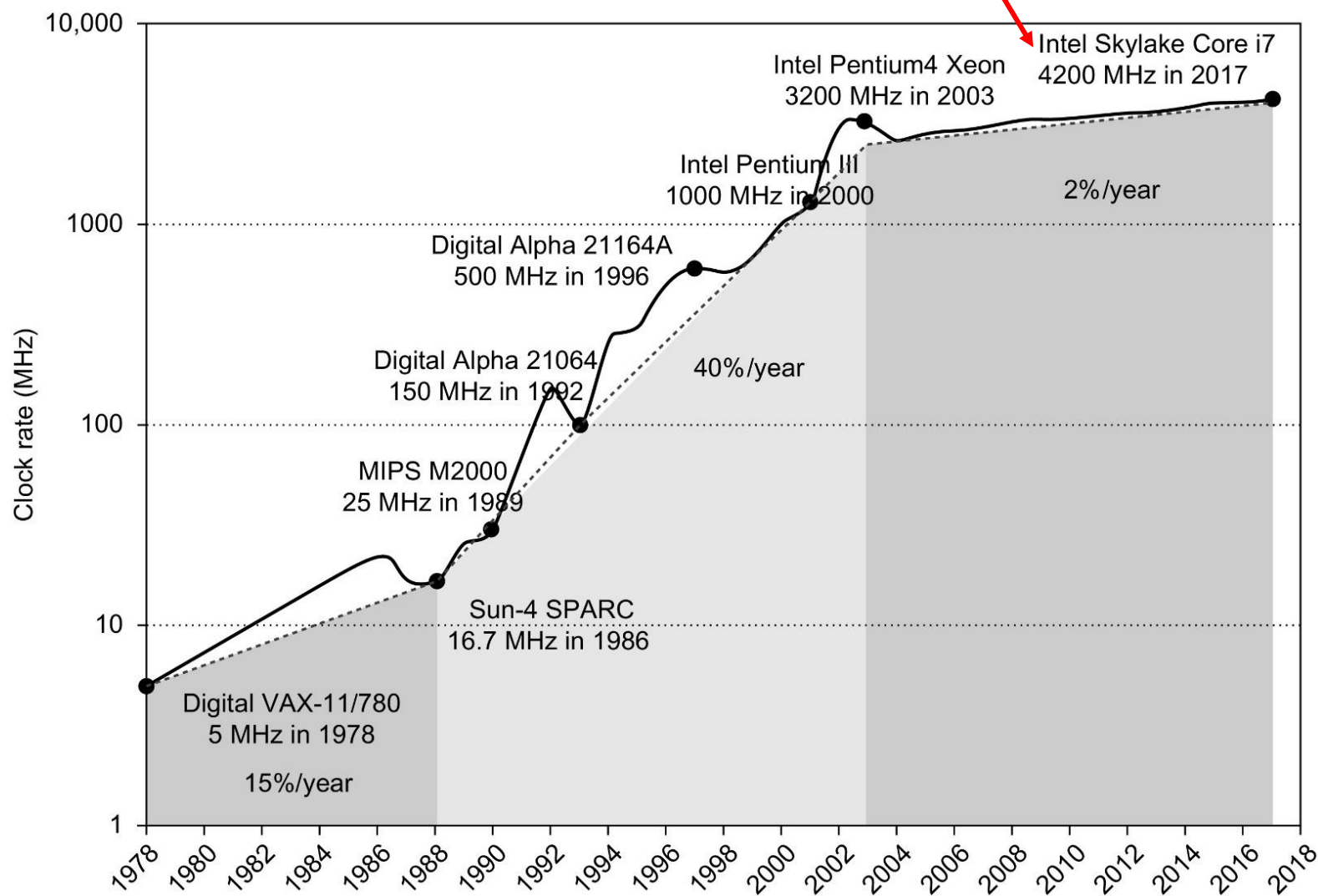
End of Dennard Scaling



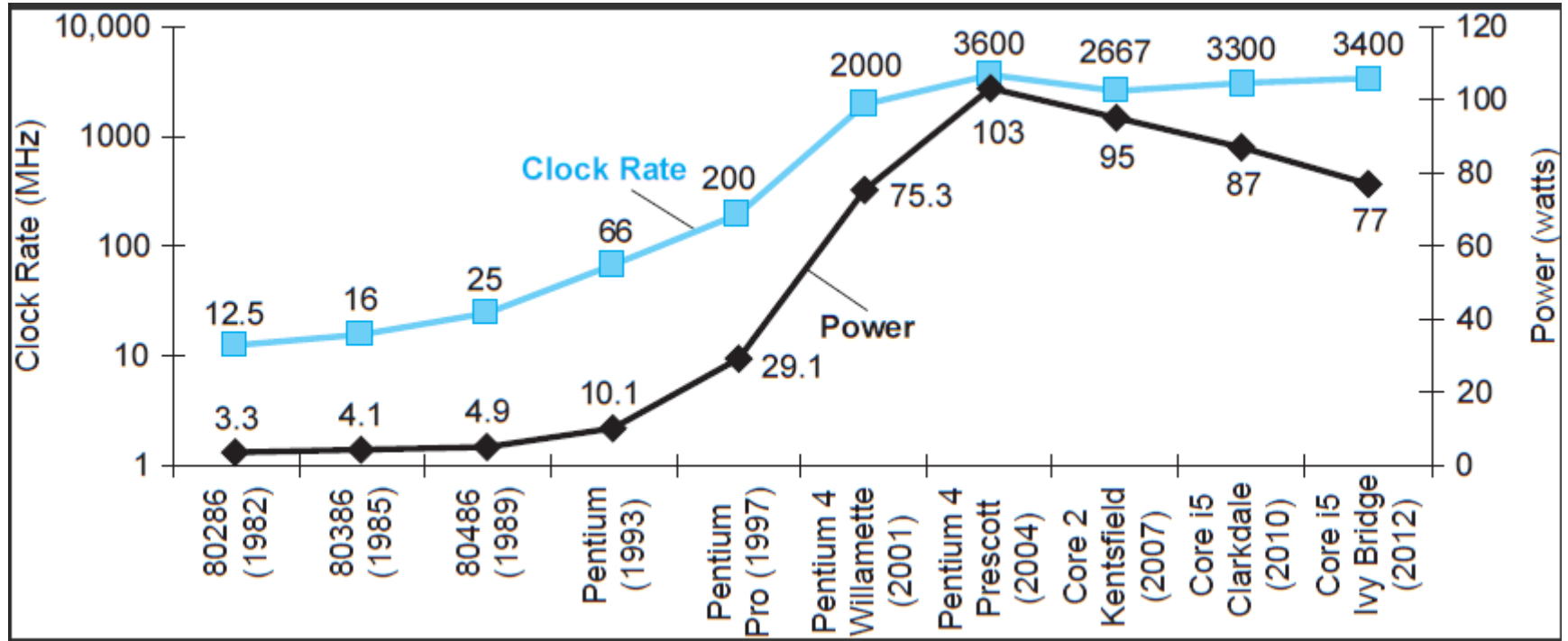
Data courtesy S. Borkar/Intel 2011

Το τέλος του Dennard Scaling

- Το τέλος του Dennard scaling ήρθε όταν πέραμε στο “power wall”..



To «power wall»

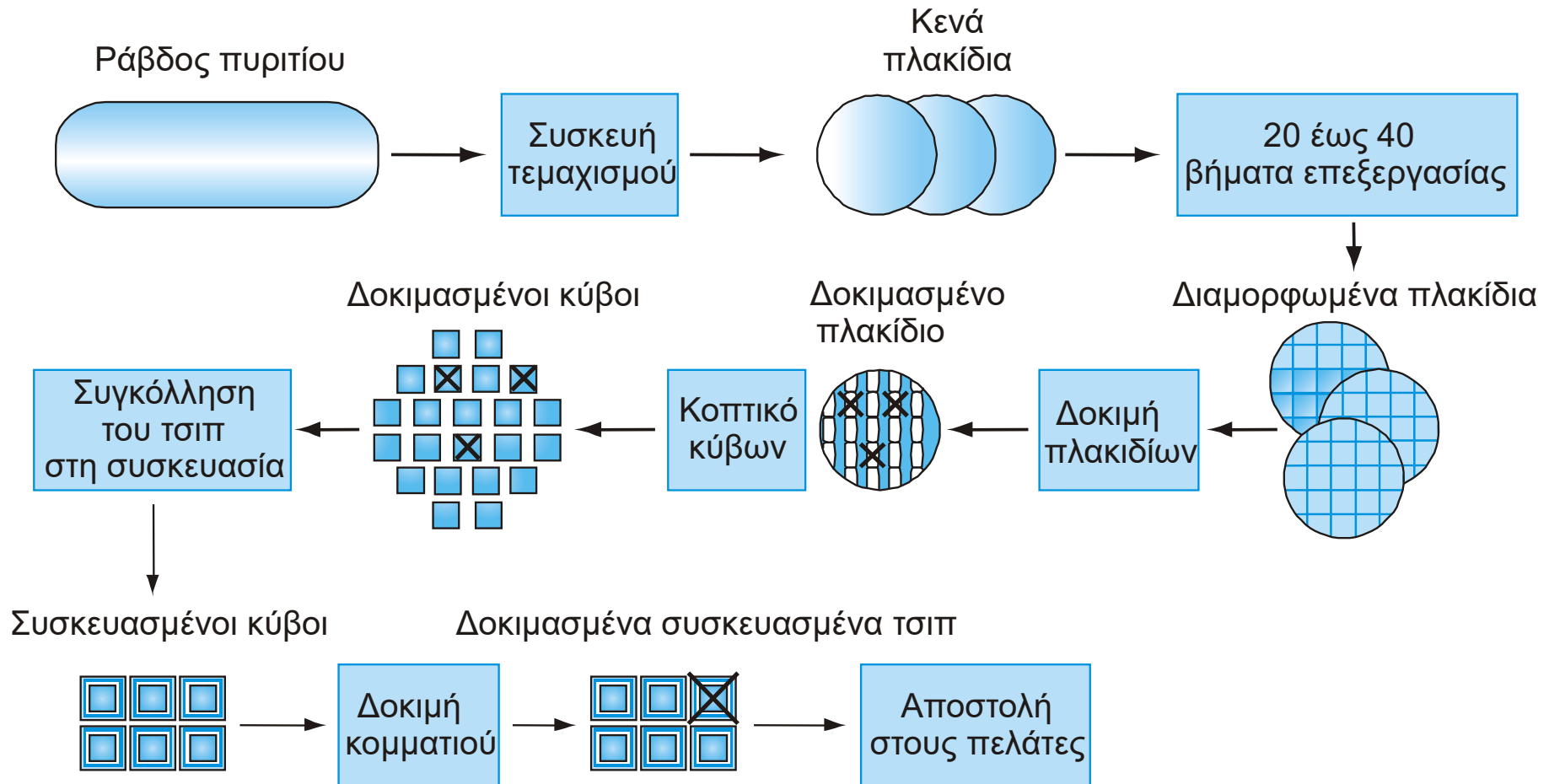


Επιφάνεια και Συσκευασία

- Τα κυκλώματα υλοποιούνται σε τσιπ πυριτίου
 - Μεγαλύτερη επιφάνεια => υψηλότερο κόστος
- Τα τσιπ σε συσκευασίες με αγωγούς διασύνδεσης
 - Περισσότεροι αγωγοί => υψηλότερο κόστος
 - Η συσκευασία απάγει τη θερμότητα
- Οι συσκευασίες διασυνδέονται σε μια πλακέτα τυπωμένου κυκλώματος (PCB)
 - Μέγεθος, σχήμα, ψύξη, κτλ., περιορίζονται από το τελικό προϊόν

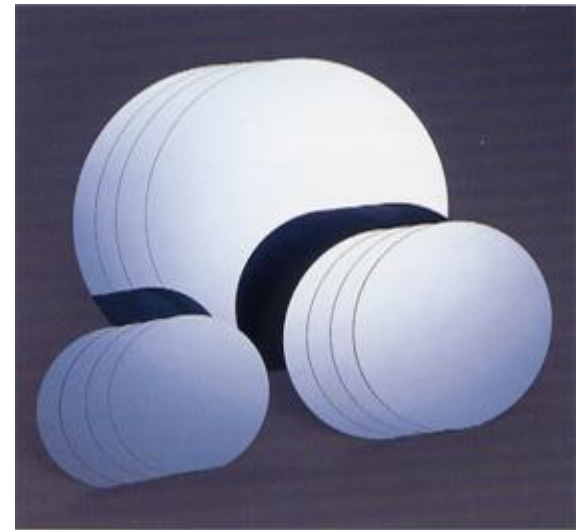
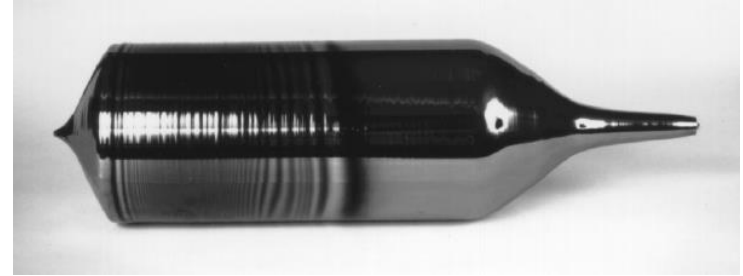


Διαδικασία βιομηχανικής κατασκευής IC



Κατασκευή IC : Πλακίδια

- Ξεκινάει με μια κυλινδρική ράβδο καθαρού πυριτίου
- Πριονίζεται σε πλακίδια (wafer) και λειαίνεται
 - Τα πρώτα πλακίδια: 50mm
 - Σήμερα: 300mm



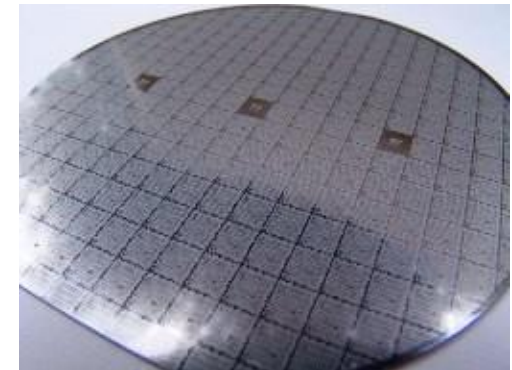
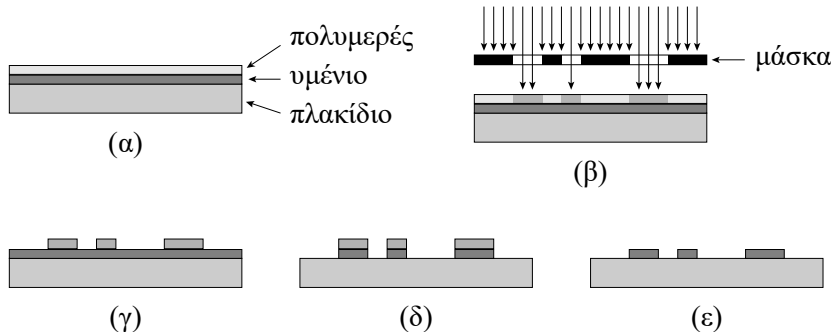
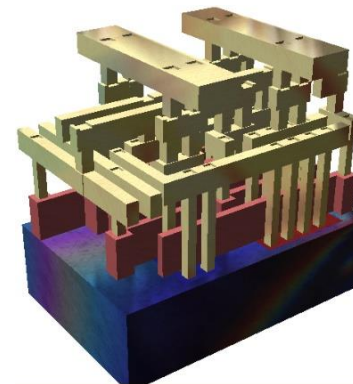
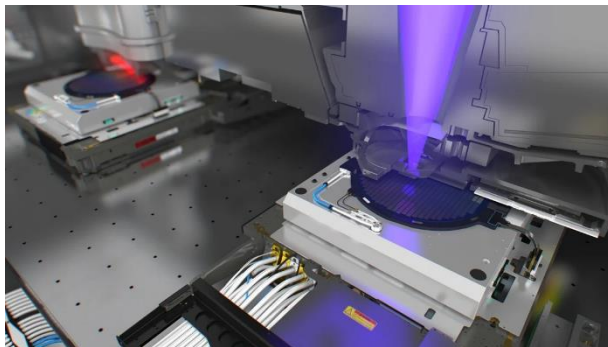
Κατασκευή IC : Επεξεργασία

- Βήματα χημικής επεξεργασίας που βασίζονται στη φωτολιθογραφία
- Φωτολιθογραφία: «σύστημα προβολής»
 - Το φως προβάλλεται μέσω της μάσκας με το σχέδιο που θέλουμε να εμφανιστεί στο IC
 - Το σύστημα συρικνώνει το σχέδιο επάνω σε ένα φωτοευαίσθητο πλακίδιο πυριτίου
 - Αυτό επαναλαμβάνεται (>100 φορές) για όλα τα επίπεδα (layers) του IC



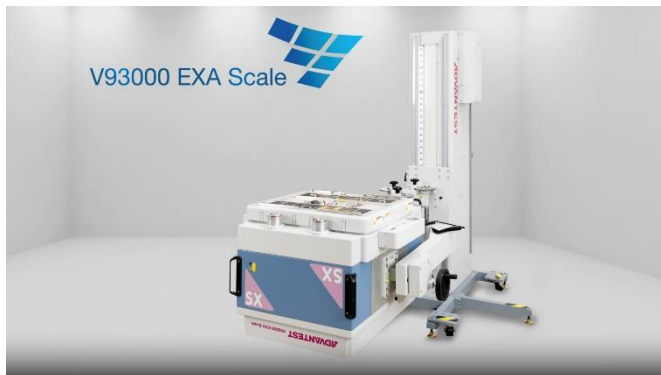
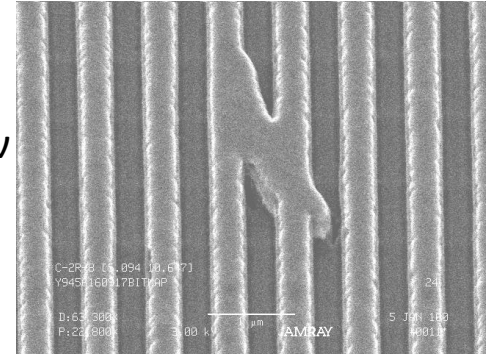
cost ≈ \$380M

TWINSKAN NXE:3600D supports @ 5nm and 3nm
>160 wafers/hour



Κατασκευή IC : Δοκιμή & Συσκευασία

- Κάποια IC αποτυγχάνουν λόγω ατελειών
 - Δοκιμή (test) => ποια δεν δουλεύουν
 - Απορρίπτονται όταν το wafer γίνει τσιπ
 - Γίνεται απόσβεση του κόστους αυτών που απορρίφθηκαν σε αυτά που δουλεύουν
 - Η εσοδεία (yield) εξαρτάται (κατά ένα μέρος) από την επιφάνεια του IC
 - Μείωση της επιφάνειας > μείωση τελικού κόστους του IC
- Τα τσιπ που λειτουργούν ορθά συσκευάζονται και δοκιμάζονται περαιτέρω
- Automated Test Equipment (ATE)
 - Advantest and Teradyne >95% της αγοράς



V93000 EXA Scale™ SoC Test System



TERADYNE UltraFLEXplus

Κόστος

- **Non-recurring engineering (NRE)**

- Κόστος για την ανάπτυξη ενός σχεδίου
- Άνθρωποι, εργαλεία, μάσκες
- Αποσβένεται σε όλα τα chips που παράγονται
- Πχ \$20M στην ανάπτυξη ->
\$.20 σε κάθε ένα από τα 100M chips

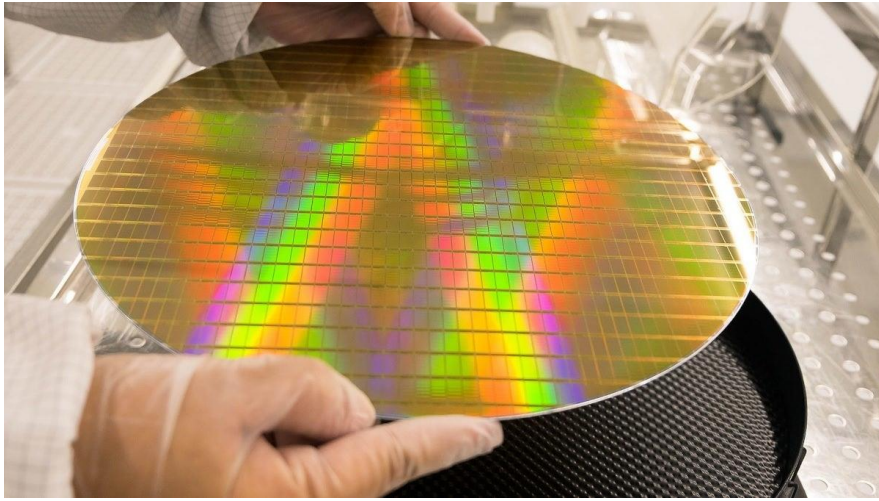
Cost per IC= variable cost per IC +
fixed cost/volume

- **Recurring**

- Κόστος για την κατασκευή, δοκιμή και συσκευασία (packaging) ενός chip
- Πχ wafer cost ~\$10k με yield:
 - 50-100 large FPGAs or GPUs
 - 200 laptop CPUs
 - 1000 cell phone SoCs

Variable cost= $\frac{(\text{cost of die} + \text{cost of die test} + \text{cost of packaging})}{\text{final test yield}}$

Κόστος ψηφίδας (die)



$$\text{cost of die} = \frac{\text{cost of wafer}}{\text{dies per wafer} * \text{die yield}}$$

NVIDIA AD102



90 chips from an N5 wafer,
or a base cost of \$178 per chip

TSMC Cost per wafer

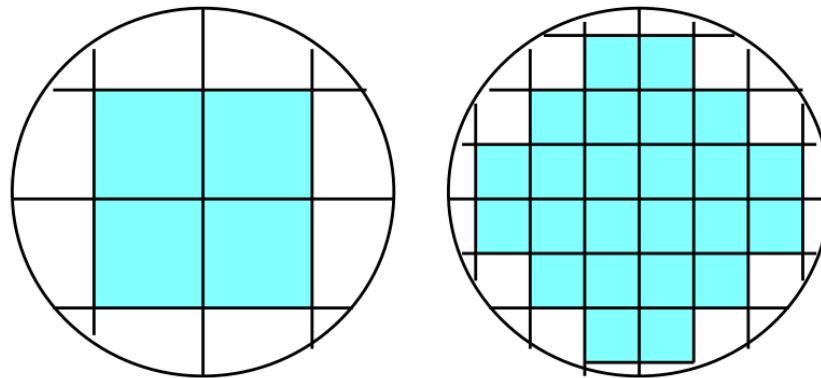
Price per Wafer	\$20,000	\$16,000	\$10,000	\$6,000	\$3,000	\$2,600	\$2,000
Node	N3	N5	N7	N10	N28	40nm	90nm
Year	2022	2020	2018	2016	2014	2008	2004

Εσοδεία (Yield) και κόστος ψηφίδας (Die)

$$\text{Die yield} = Y = \frac{\text{No. of good chips per wafer}}{\text{Total number of chips per wafer}} \times 100\%$$

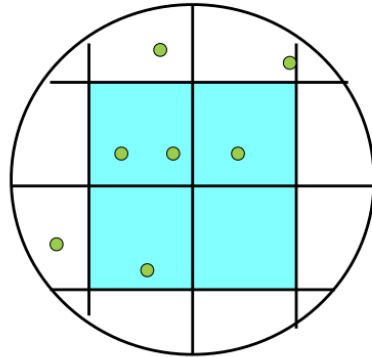
$$\text{Die cost} = \frac{\text{Wafer cost}}{\text{Dies per wafer} \times \text{Die yield}}$$

$$\text{Dies per wafer} = \frac{\pi \times (\text{wafer diameter}/2)^2}{\text{die area}} - \frac{\pi \times \text{wafer diameter}}{\sqrt{2} \times \text{die area}}$$

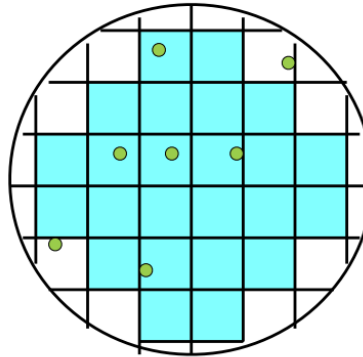


Ατέλειες

Yield = 0.25



Yield = 0.76



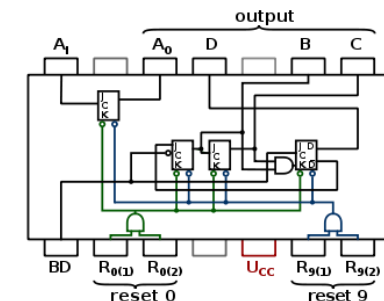
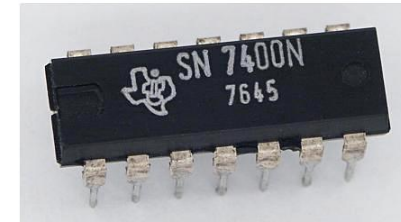
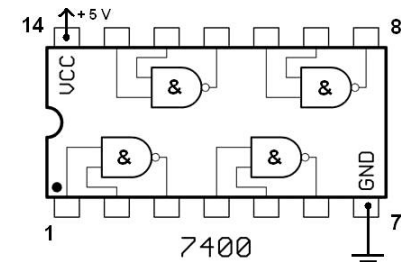
$$\text{die yield} = \left(1 + \frac{\text{defects per unit area} \times \text{die area}}{\alpha} \right)^{-\alpha}$$

α is approximately 3

$$\text{die cost} = f(\text{die area})^4$$

SSI και MSI

- Το 1964, η TI εισήγαγε την οικογένεια 5400/7400 των IC TTL
 - Ακολούθησαν άλλοι κατασκευαστές, κάνοντας την 7400 ένα «de facto standard»
 - Μικρή κλίμακα ολοκλήρωσης (Small-scale integrated - SSI)
 - 7400: 4 × NAND πύλες
- Μεσαία κλίμακα ολοκλήρωσης (Medium-scale integrated - MSI)
 - 7490: μετρητής των 4-bit

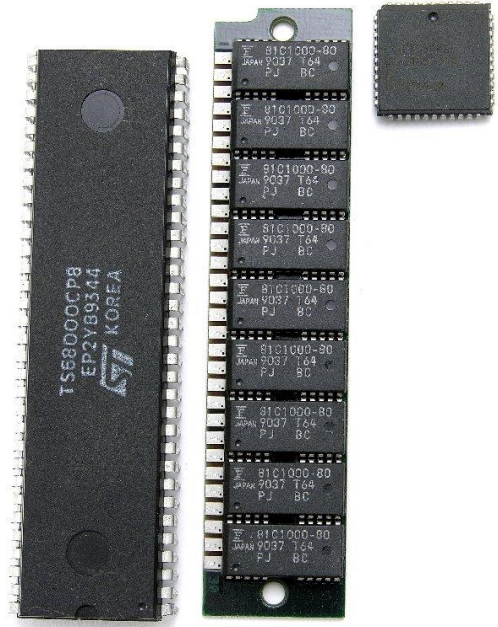


Άλλες Λογικές Οικογένειες

- Παραλλαγές στα ηλεκτρικά χαρακτηριστικά
 - 74L... : χαμηλής (Low) ισχύος
 - 74S... : δίοδοι Schottky => γρήγορη μεταγωγή
 - 74LS... : συμβιβασμός μεταξύ ταχύτητας και ισχύος
 - 74ALS... : προηγμένης χαμηλής ισχύος Schottky
 - 74F... : γρήγορη (fast)
- Οικογένειες CMOS
 - 4000 οικογένεια: πολύ χαμηλής ισχύος, 3–15V
 - 74HC..., 74AHC... : συμβατή με TTL

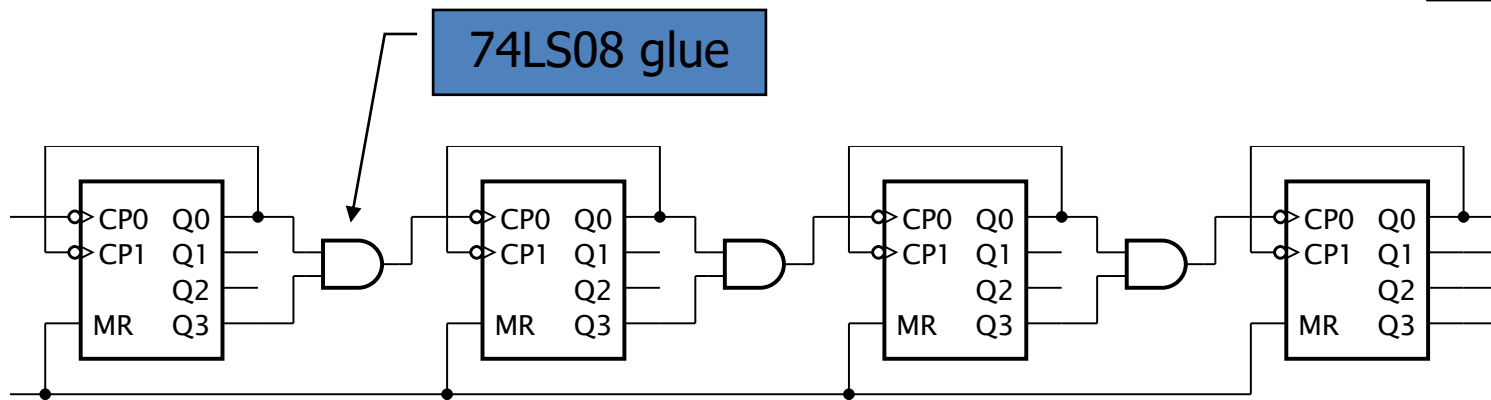
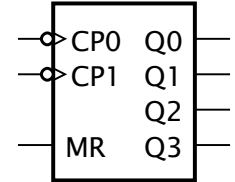
Υψηλή Κλίμακα Ολοκλήρωσης

- Δεκαετία 70: Large-Scale Integration – LSI (χιλιάδες τρανζίστορ)
 - Εφικτή η κατασκευή μικρών μικροεπεξεργαστών
 - Προσαρμοσμένα LSI για εφαρμογές υψηλού όγκου
- Χρήση SSI/MSI κυρίως για “glue logic”
- Επόμενες προσθήκες στα 74xx... αφορούσαν σε glue logic και λογική διασύνδεσης
 - Π.χ., tristate drivers πολλαπλών bit, καταχωρητές
 - Άλλες λειτουργίες υποσκελίστηκαν από τα PLD

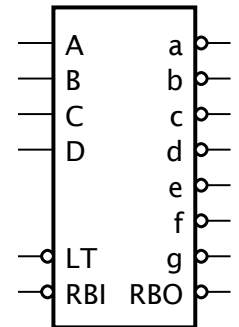


Παράδειγμα MSI : Μετρητής/Οθόνη

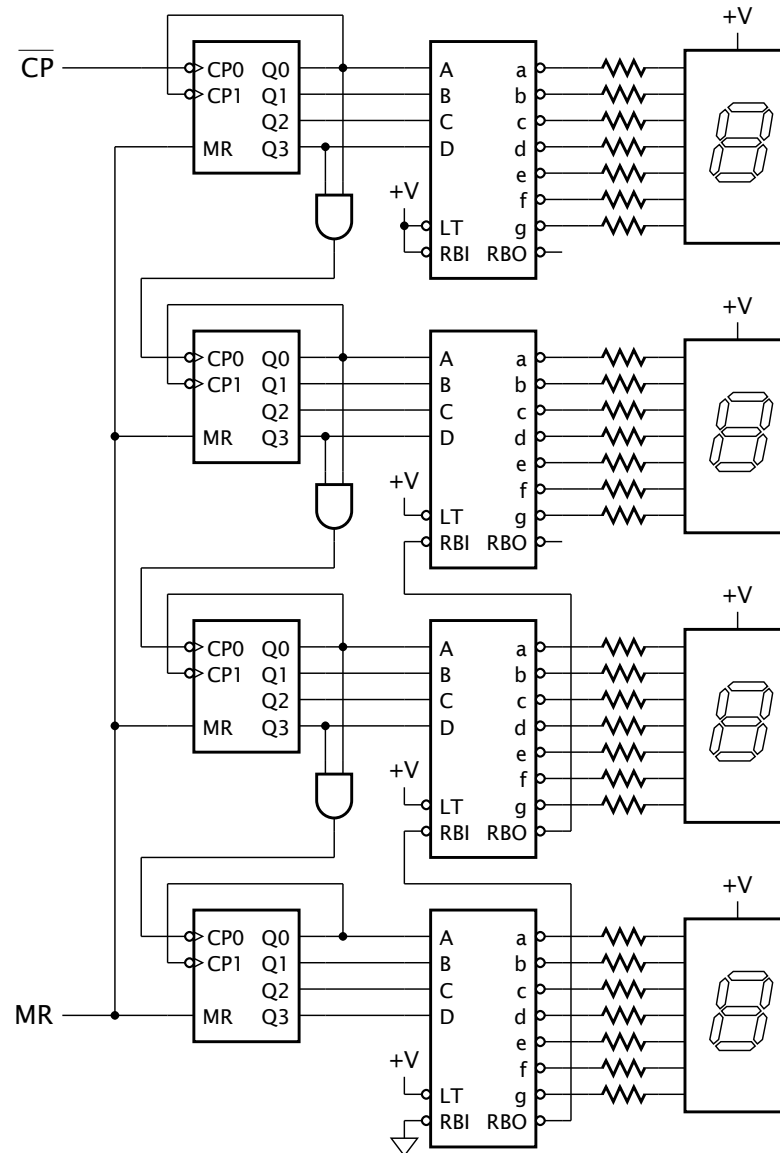
- 74LS390: διπλός δεκαδικός μετρητής



- 74LS47: αποκωδικοποιητής 7-τμημάτων



Παράδειγμα MSI : Μετρητής / Display

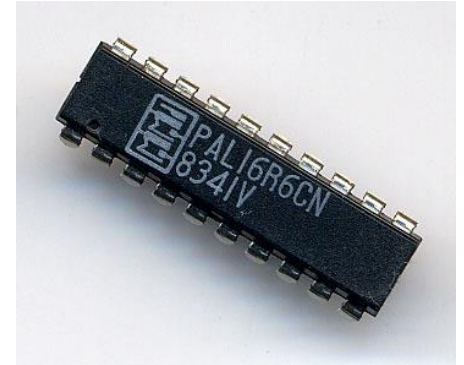


Programmable Logic Devices (PLDs)

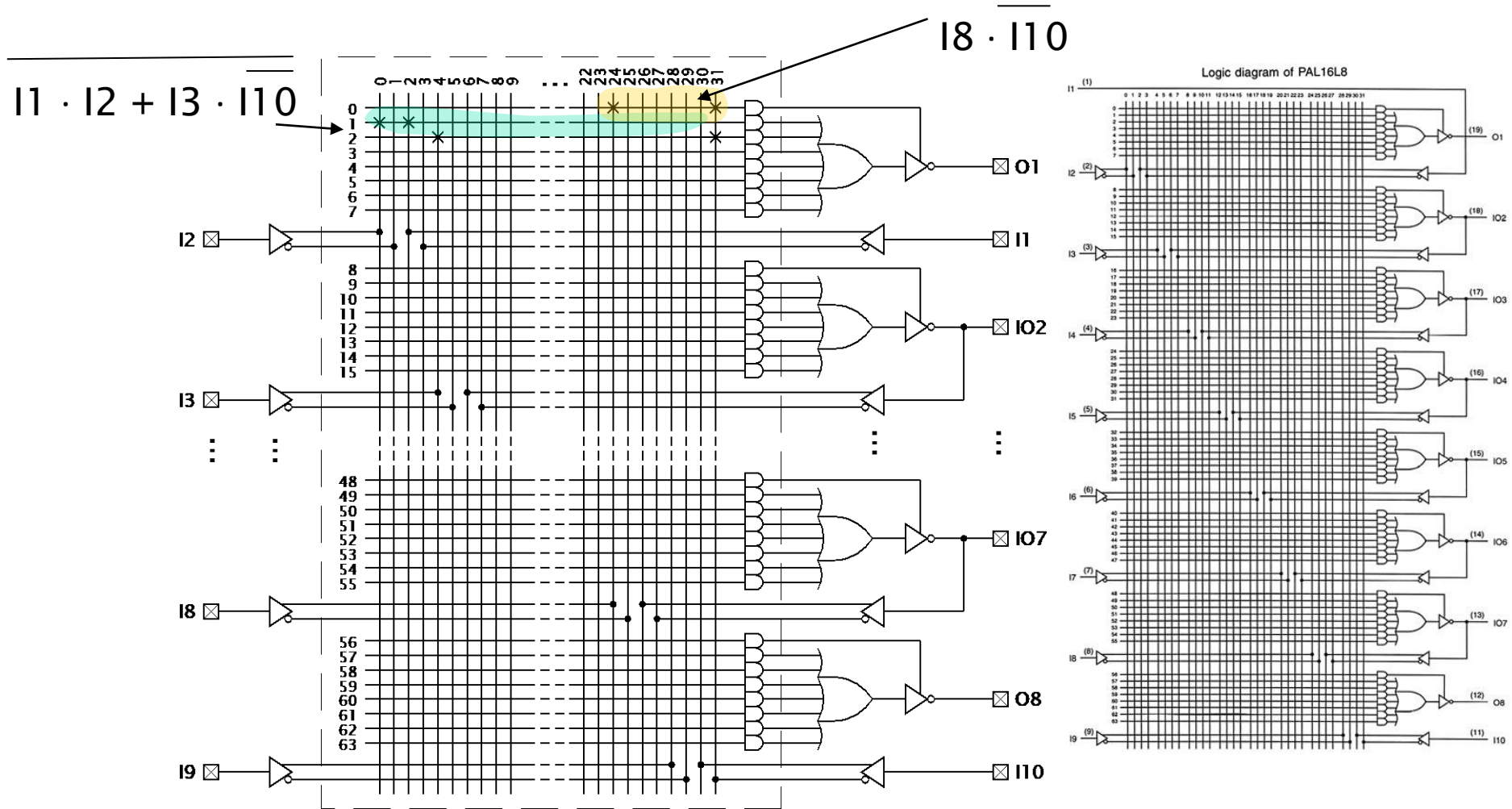
- Οι προγραμματιζόμενες διατάξεις λογικής (PLD) μπορούν να προγραμματιστούν μετά την κατασκευή για να εκτελέσουν διάφορες λειτουργίες
 - Αντίθετα με τα SSI/MSI IC και τα ASICs
- Υψηλότερο κόστος μονάδας από τα ASICs
 - Αλλά χαμηλότερο NRE
 - Ιδανικά για μικρούς και μεσαίους όγκους παραγωγής

Programmable Array Logic (PAL)

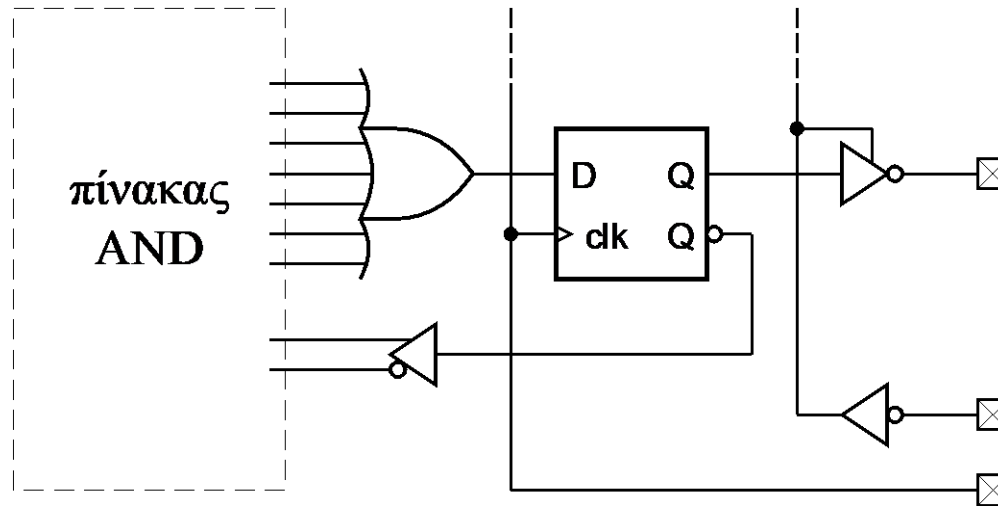
- Προγραμματιζόμενη λογική πίνακα (PAL)
 - Monolithic Memories Inc (MMI) το 1978
 - Τα πρώτα ευρέως χρησιμοποιούμενα PLD
 - Προγραμματίζονται καίγοντας συνδέσμους ασφαλείας στο κύκλωμα με ειδικό προγραμματιστή (Device Programmer)
- PAL16L8
 - 16 εισόδους, 8 εξόδους active low
- PAL16R8
 - 16 εισόδους, 8 εξόδους μέσω καταχωρητή



PAL16L8



Κύκλωμα Εξόδου του PAL16R8



- Το μονοπάτι ανάδρασης είναι χρήσιμο για την υλοποίηση FSM

Σχεδίαση με PAL

- Χρήσιμα ακόμα και για απλά κυκλώματα
 - Η απλή συσκευασία μειώνει το κόστος
- Περιγραφή συνάρτησης με λογικές εξισώσεις
 - Σε HDL, ή σε μια απλή γλώσσα (πχ ABEL)
 - Σύνθεση του αρχείου του χάρτη των ασφαλειών που χρησιμοποιείται από το device programmer
 - Εάν η σχεδίαση δεν χωράει την διαιρούμε σε πολλαπλά PAL ή χρησιμοποιούμε ένα πιο σύνθετο PLD

PAL16R4 PAL PAL DESIGN SPECIFICATION
CNT4SC
4 bit counter with synchronous clear
Michael Holley and Dave Pellerin
Clk Clear NC NC NC NC NC NC NC NC GND
OE NC NC /Q3 /Q2 /Q1 /Q0 NC NC VCC

Q3 := Clear
+ /Q3 * /Q2 * /Q1 * /Q0
+ Q3 * Q0
+ Q3 * Q1
+ Q3 * Q2

Q2 := Clear
+ /Q2 * /Q1 * /Q0
+ Q2 * Q0
+ Q2 * Q1

Q1 := Clear
+ /Q1 * /Q0
+ Q1 * Q0

Q0 := Clear
+ /Q0

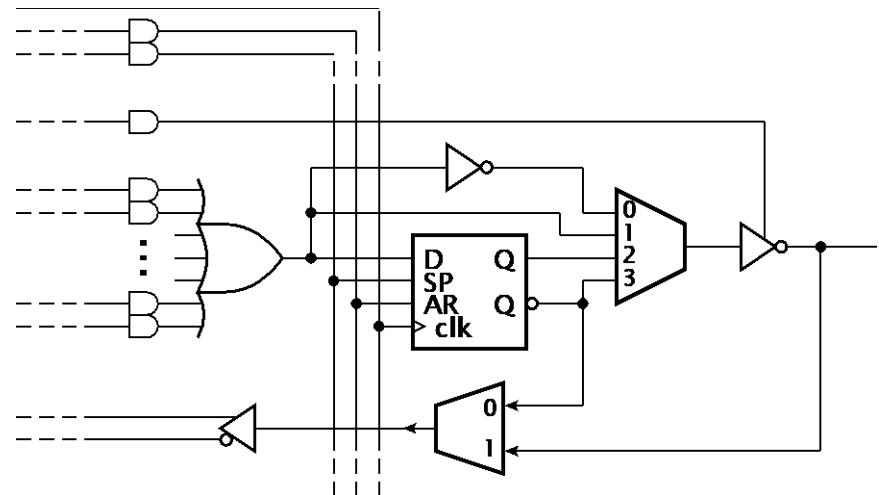
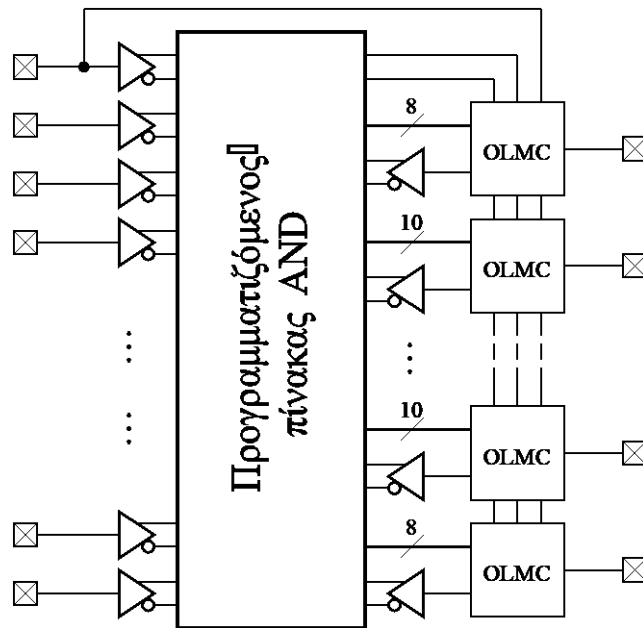
FUNCTION TABLE

OE	Clear	Clk	/Q0	/Q1	/Q2	/Q3
L	H	C	L	L	L	L
L	L	C	H	L	L	L
L	L	C	L	H	L	L
L	L	C	H	H	L	L
L	L	C	L	L	H	L
L	H	C	L	L	L	L

Περιγραφή μετρητή 4-bit με ABEL

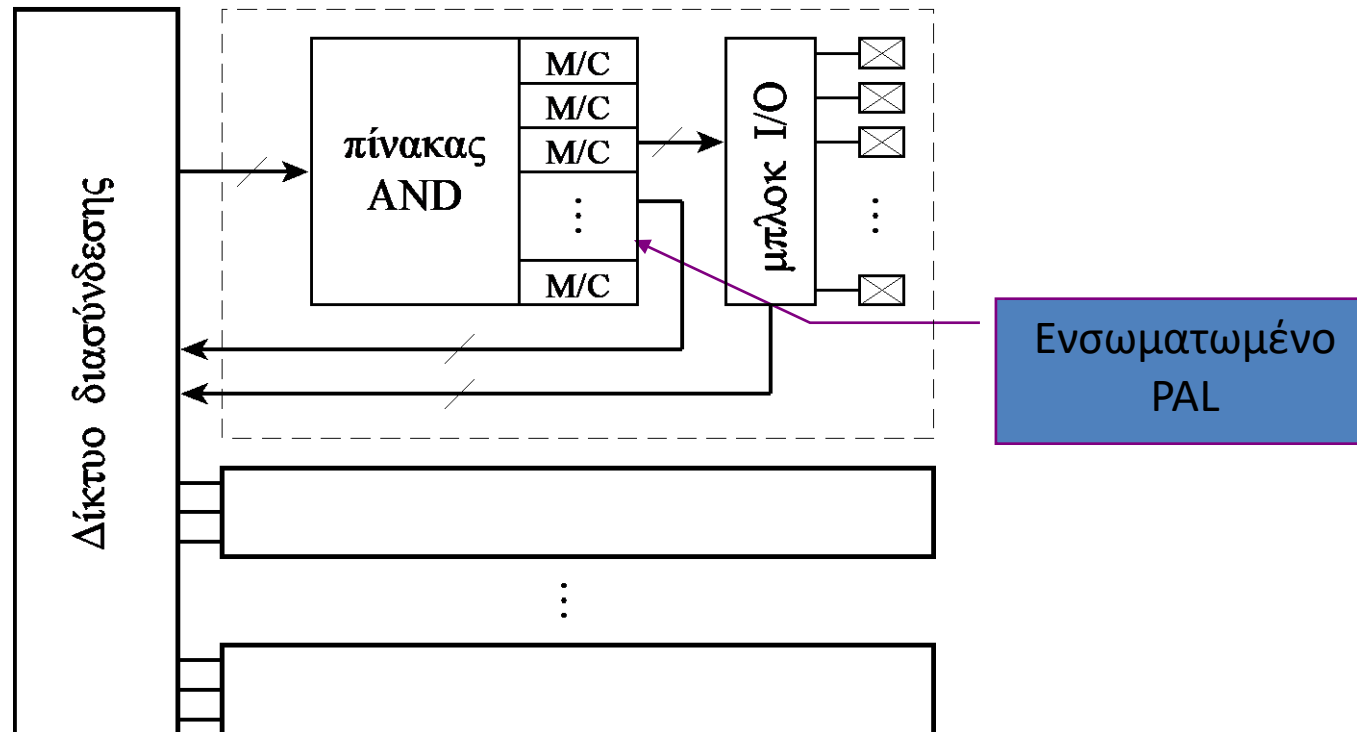
Generic Array Logic (GALs)

- Γενική λογική πίνακα (GAL)
- Προγραμματιζόμενα μακροκελιά λογικής εξόδου (Programmable Output Logic Macrocells - OLMCs)
 - Χρήση τεχνολογίας EEPROM
 - Π.χ., GAL22V10



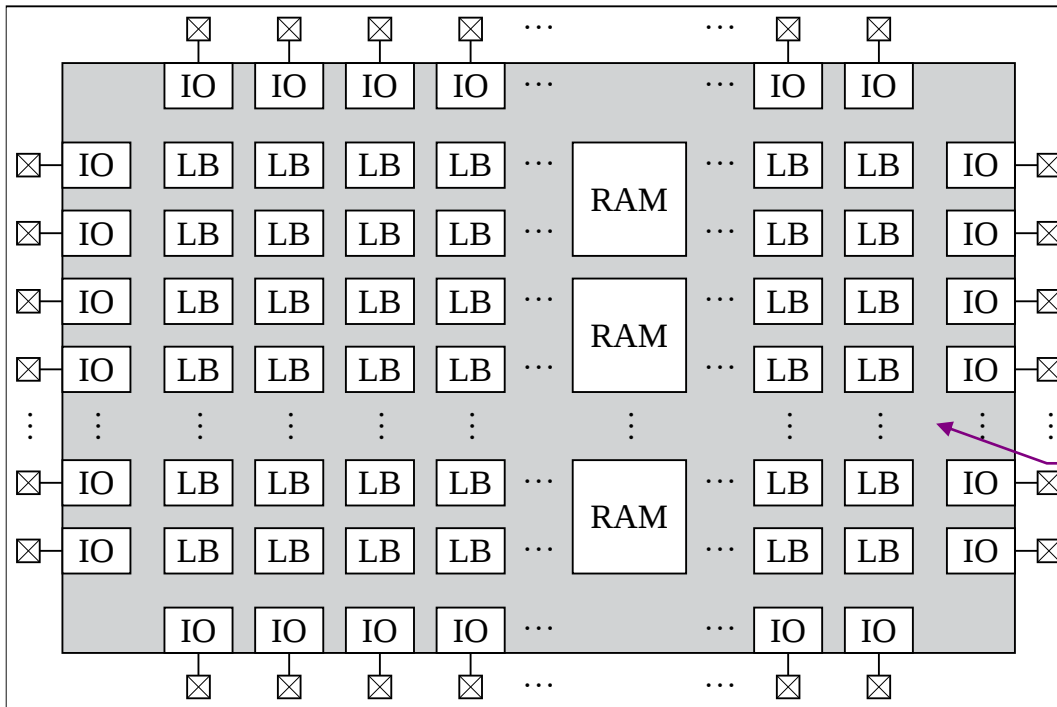
Complex PLDs (CPLDs)

- Στοιίβαξη πολλαπλών PAL σε ένα IC
 - Προγραμματιζόμενο δίκτυο διασύνδεσης
 - Τεχνολογία RAM για αποθήκευση της διαμόρφωσης (configuration)



Field Programmable Gate Arrays (FPGAs)

- Επιτόπου Προγραμματιζόμενοι Πίνακες Πυλών
 - Μικρότερα λογικά μπλοκ, ενσωματωμένη SRAM
 - Ισοδύναμα με χιλιάδες ή εκατομμύρια πύλες



Προγραμματιζόμενη
διασύνδεση

Ο δρόμος προς τα FPGAs

- 1957 – PROM (programmable read-only memory)
- 1960 – MOSFETs
- 1971 – EPROM (**UV**- erasable programmable read-only memory)
- 1975 – PLA (Programmable Logic Array)
- 1977 – PAL (Programmable Array Logic)
- 1977 – EEPROM (**electrically** EPROM)
- 1981 – Flash Memory
- 1985 – First FPGA (Field Programmable Gate Arrays)



Πατέντα FPGA

Abstract

A configurable logic array comprises a plurality of configurable logic elements variably interconnected in response to control signals to perform a selected logic function. Each configurable logic element in the array is in itself capable of performing any one of a plurality of logic functions depending upon the control information placed in the configurable logic element. Each configurable logic element can have its function varied even after it is installed in a system by changing the control information placed in that element. Structure is provided for storing control information and providing access to the stored control information to allow each configurable logic element to be properly configured prior to the initiation of operation of the system of which the array is a part. Novel interconnection structures are provided to facilitate the configuring of each logic element



Ross Freeman (July 26, 1948 – October 22, 1989),
inventor, and co-founder of the leading FPGA
developer Xilinx

United States Patent [19] Freeman

- [54] CONFIGURABLE ELECTRICAL CIRCUIT
HAVING CONFIGURABLE LOGIC
ELEMENTS AND CONFIGURABLE
INTERCONNECTS
- [75] Inventor: Ross H. Freeman, San Jose, Calif.
- [73] Assignee: Xilinx, Inc., San Jose, Calif.
- [21] Appl. No.: 158,011
- [22] Filed: Feb. 19, 1988

Related U.S. Application Data

- [63] Continuation of Ser. No. 588,478, Mar. 12, 1984, abandoned.
- [51] Int. Cl.⁴ H04Q 1/00; H03K 17/693;
H03K 19/096; H03K 3/01
- [52] U.S. Cl. 307/469; 364/716; 364/784; 340/825.84;
340/825.86; 340/825.87; 340/825.91
- [58] Field of Search 307/465, 466, 467, 468,
307/469, 471; 364/716, 784; 340/825.83-825.91

References Cited

U.S. PATENT DOCUMENTS

- 3,201,574 8/1965 Szekely 235/175
3,400,379 9/1968 Harman 235/156
3,431,433 3/1969 Ball et al. 307/279
3,439,185 4/1969 Gibson 307/448
3,483,400 12/1969 Washizuka et al. 307/279
3,564,514 2/1971 Gunderson 340/172.5
3,576,984 5/1971 Gregg, Jr. 235/176
3,619,583 11/1971 Arnold 307/465
3,667,054 5/1972 Nelson 307/234
3,691,401 9/1972 Forlani et al. 307/448
3,743,948 7/1973 Dahlin et al. 328/119
3,750,115 7/1973 Mundy 340/172.5
3,818,252 6/1984 Chiba et al. 307/465
3,838,296 9/1974 McLeod 307/243
3,849,638 11/1974 Greer 235/152
3,967,251 6/1976 Levine 365/94
3,983,543 9/1976 Cordaro 307/238
3,990,045 11/1976 Beausoleil et al. 307/465
4,032,894 6/1977 Williams 340/825.83
4,091,359 5/1978 Rossler 340/166 R
4,154,978 5/1979 Tu 307/242

(List continued on next page.)

[11] Patent Number: 4,870,302
[45] Date of Patent: Sep. 26, 1989

FOREIGN PATENT DOCUMENTS

- 0094234 11/1983 European Pat. Off. .
0031431 3/1984 European Pat. Off. .
3202498A1 8/1983 Fed. Rep. of Germany .
2160969 7/1973 France .
137616 1/1978 Japan .
141836 11/1980 Japan .
191535 11/1983 Japan .
1090520 11/1967 United Kingdom .
1101851 1/1968 United Kingdom .
1516817 7/1978 United Kingdom .
2045488B 10/1982 United Kingdom .
2121573B 12/1984 United Kingdom .
A2171231 8/1986 United Kingdom .
1059213 2/1987 United Kingdom .
2138188B 7/1987 United Kingdom .

OTHER PUBLICATIONS

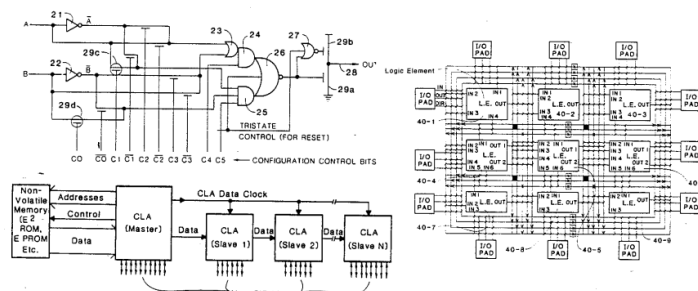
"Ungated Common I/O Buffer for Card Testing," by
(List continued on next page.)

Primary Examiner—Stanley D. Miller
Assistant Examiner—David R. Bertelson
Attorney, Agent, or Firm—Skjerven, Morrill,
MacPherson, Franklin & Friel

ABSTRACT

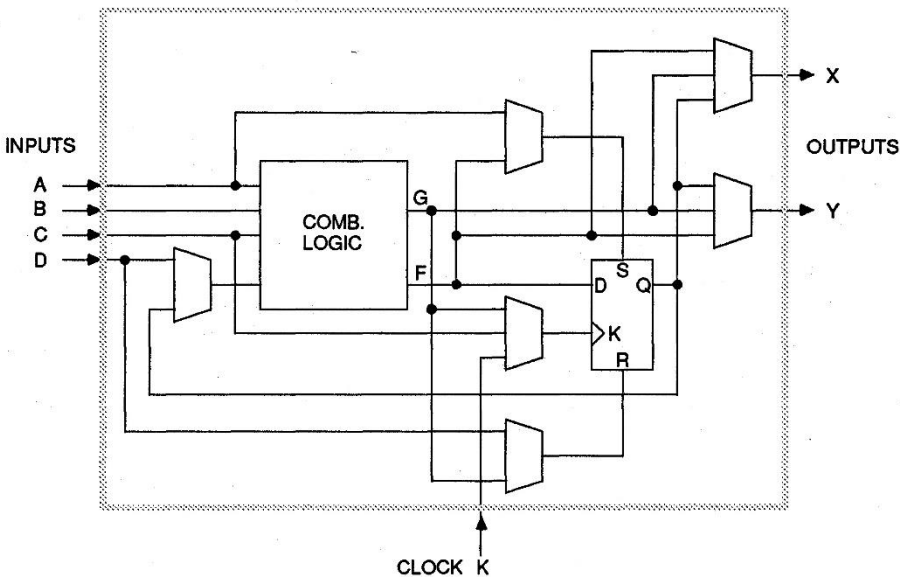
A configurable logic array comprises a plurality of configurable logic elements variably interconnected in response to control signals to perform a selected logic function. Each configurable logic element in the array is in itself capable of performing any one of a plurality of logic functions depending upon the control information placed in the configurable logic element. Each configurable logic element can have its function varied even after it is installed in a system by changing the control information placed in that element. Structure is provided for storing control information and providing access to the stored control information to allow each configurable logic element to be properly configured prior to the initiation of operation of the system of which the array is a part. Novel interconnection structures are provided to facilitate the configuring of each logic element.

29 Claims, 15 Drawing Sheets

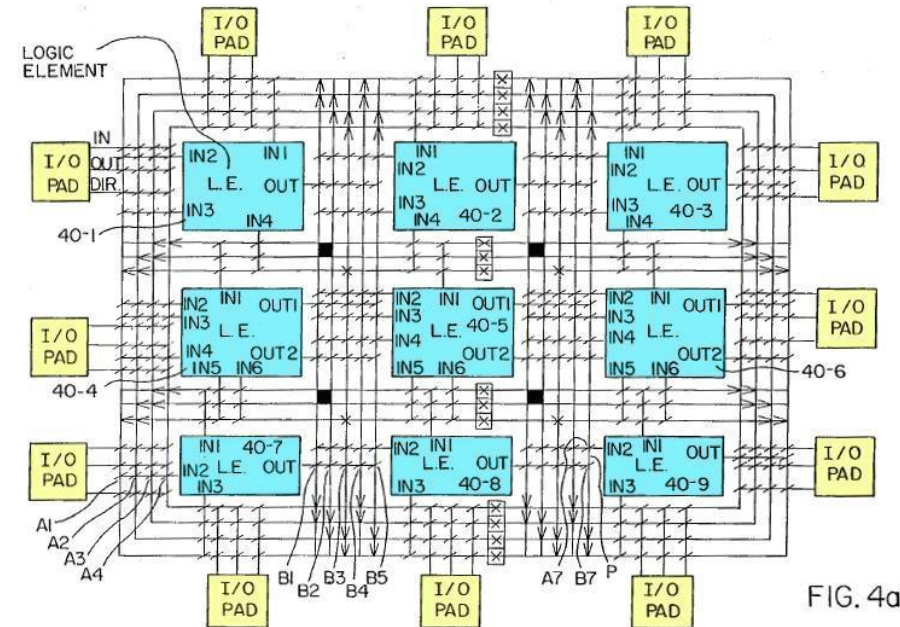


Το πρώτο FPGA: Xilinx XC2064

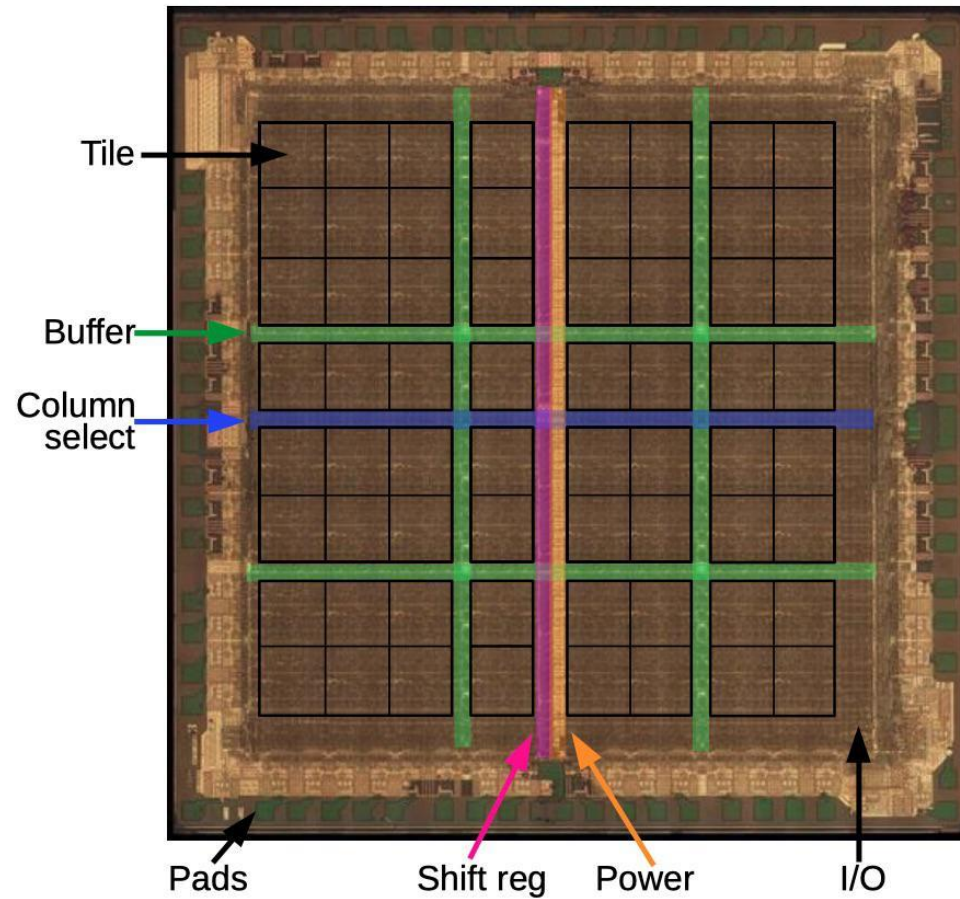
- Το πρώτο FPGA: XC2064
 - 8x8 grid of CLBs (Patent image 3x3 version)
 - Κάθε CLB διαθέτει 4 εισόδους και 2 εξόδους
 - » Συνδυαστική λογική (Lookup Table – LUT)
 - » Στοιχείο κατάστασης: D-FF
 - » Πολυπλέκτες



CLB από XC2064 datasheet



Το πρώτο FPGA: Xilinx XC2064



Layout of the XC2064 chip



Die closeup showing circuitry for one of the 64 tiles in XC2064 FPGA

Η έννοια του Lookup Table (LUT)

- Μέσα στο CLB δεν υπάρχουν λογικές πύλες για την υλοποίηση της συνδυαστικής λογικής αλλά LUTs
- LUT: Lookup Table
 - Υλοποιούν ένα πίνακα αληθείας μιας συνάρτησης με μνήμη
 - Πολυπλέκτες για την επιλογή της διεύθυνσης
 - Οι πολυπλέκτες υλοποιούνται με pass transistors
 - Γενικά μπορούν να υλοποιήσουν μια λογική συνάρτηση N μεταβλητών
 - Πρώτο FPGA N=4
 - Σύγχρονα FPGAs N=6
 - Ευρωπαϊκό FPGA N=4...
- Παράδειγμα: Πύλη AND με N=2
 - Μνήμη 4 bit με χρήση πολυπλέκτη για την επιλογή της διεύθυνσης

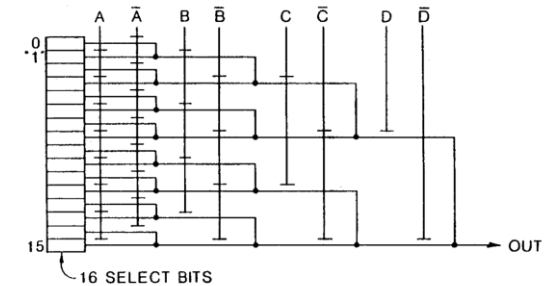
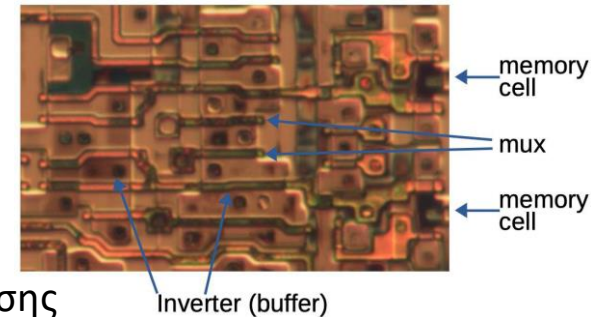
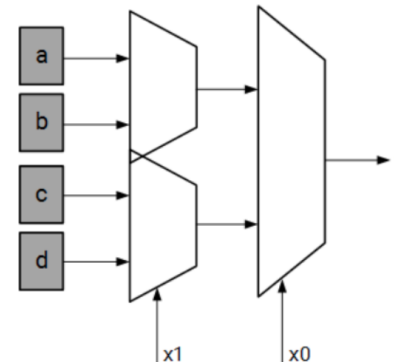


Figure 3B

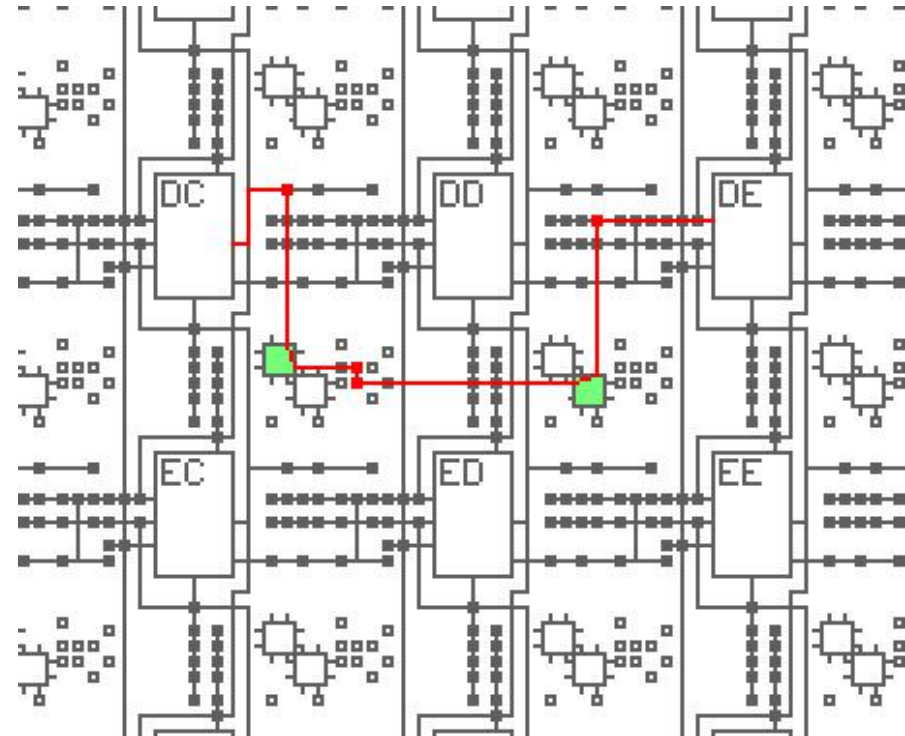
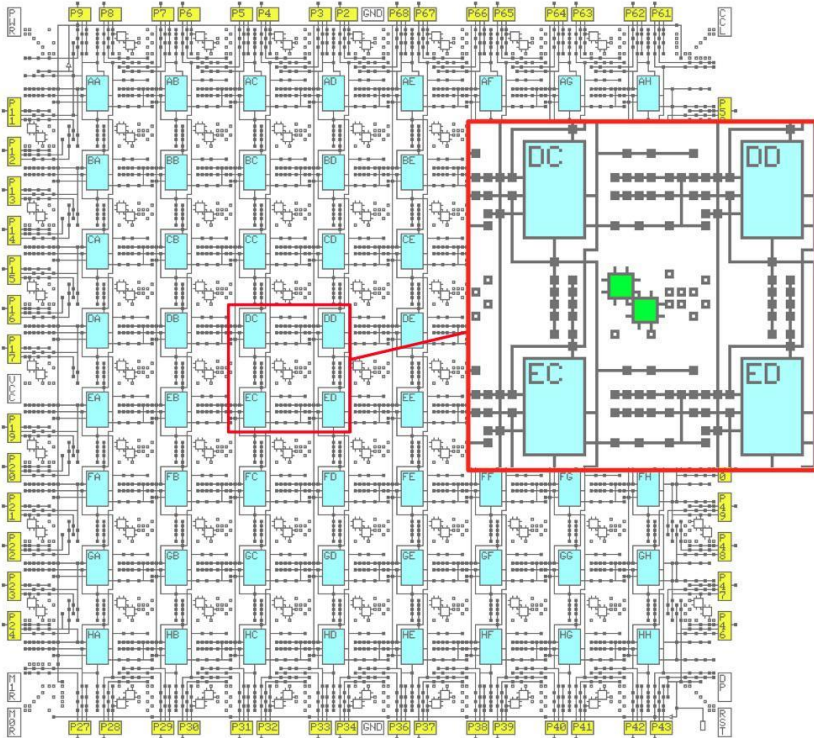


x1	x2	y
0	0	0
0	1	0
1	0	0
1	1	1



Το πρώτο FPGA: Xilinx XC2064

- Interconnects (routing)
 - Πολλαπλές οριζόντιες και κάθετες γραμμές
 - Interconnect points: επιτρέπουν συνδέσεις μεταξύ οριζόντιων και κάθετων γραμμών
 - Switch matrices

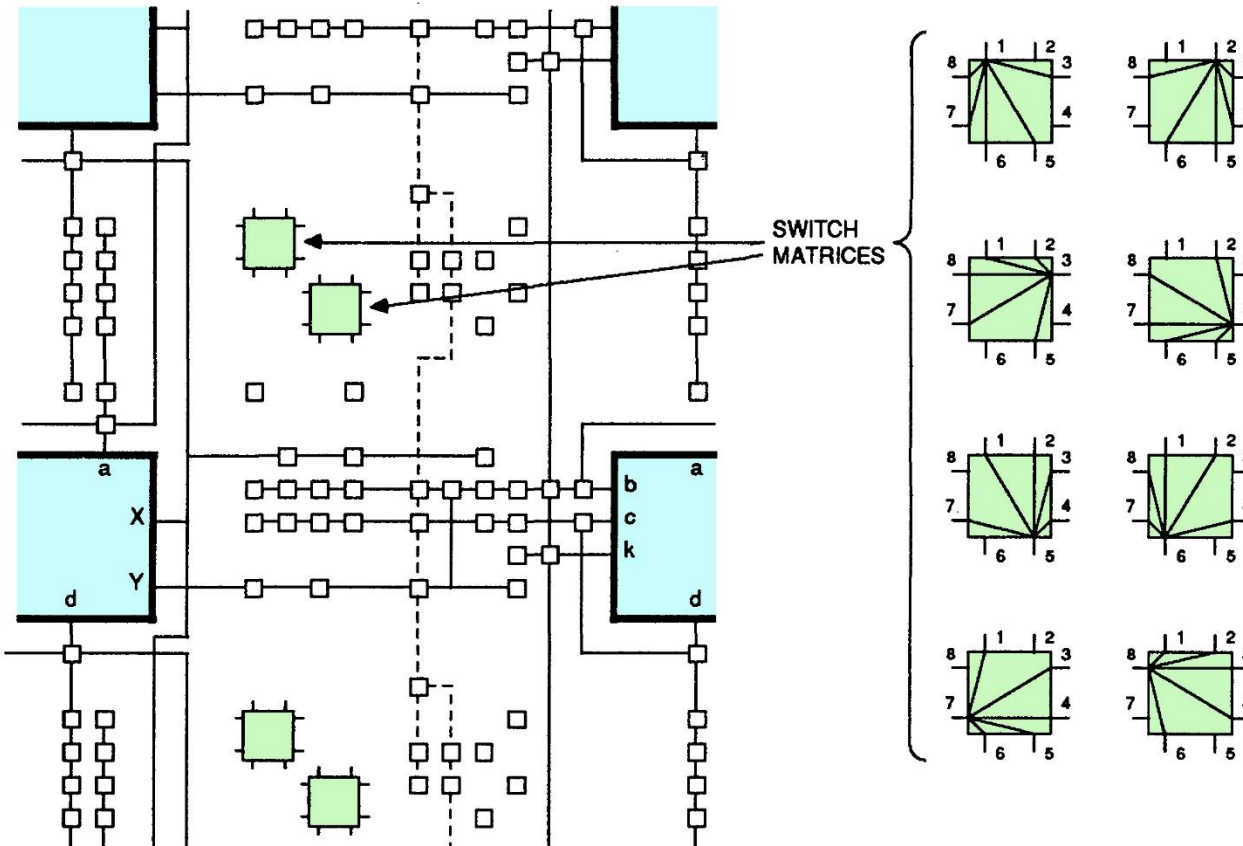
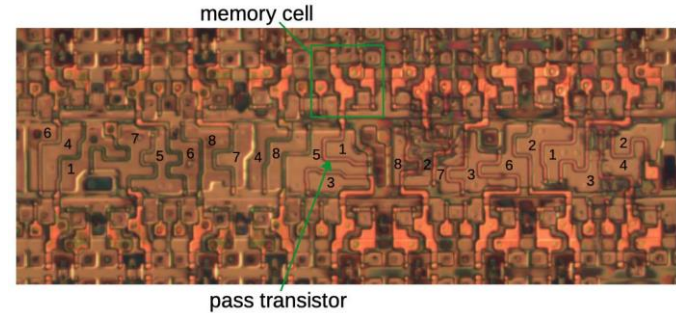


Interconnect structure of XC2064, logic blocks (cyan), I/O pins (yellow).
Closeup of the routing features. The green boxes are the 8-pin switch matrices, while the small squares are the programmable interconnection points.

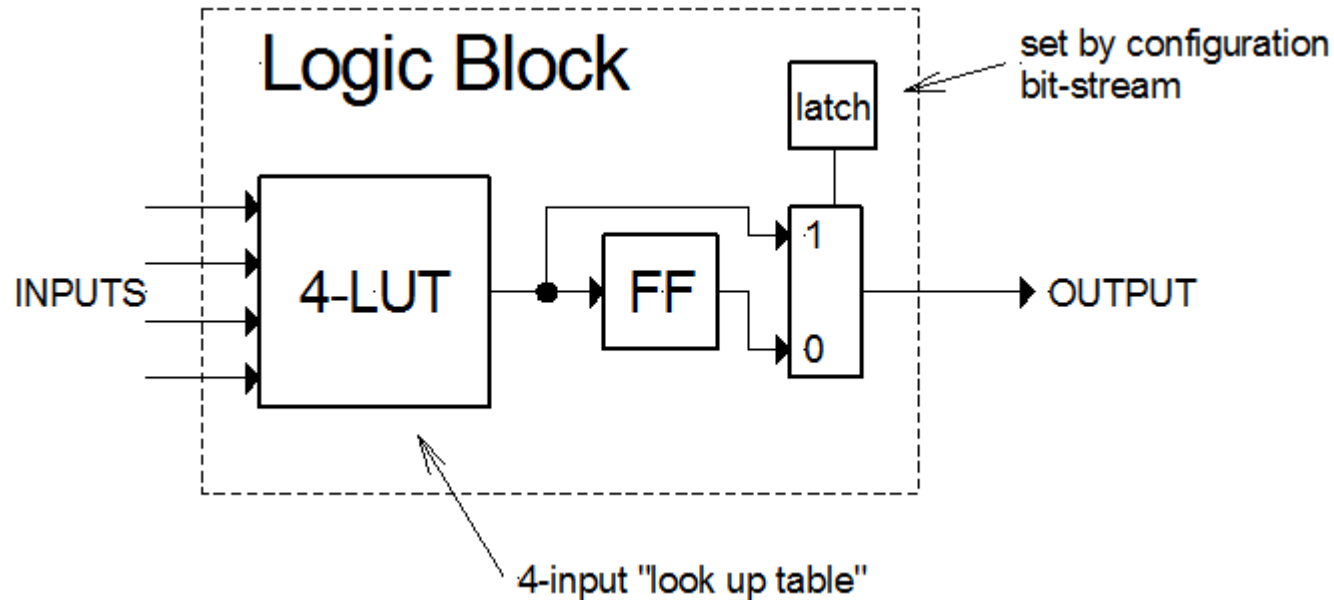
Example: signal routed from an output of block DC to block DE

Το πρώτο FPGA: Xilinx XC2064

- 8-pin switch matrix
 - Υλοποίηση με pass transistors



Ένα «ιδανικό» FPGA logic block



- Look Up Table 4 εισόδων
 - Υλοποιεί συναρτήσεις συνδυαστικής λογικής
 - Ο χρονισμός είναι ανεξάρτητος της συνάρτησης
- Flip-flop
 - Μπορεί να αποθηκεύει την έξοδο του LUT

Γιατί να ασχοληθώ με τα
FPGAs;

Γιατί να ασχοληθώ με τα FPGAs;

- Γιατί βρίσκονται ΠΑΝΤΟΥ
 - Datacenters, space...
 - Acceleration & off-loading
- Χρήση ως:
 - Target platform
 - Prototype platform for ASIC or SoC
- Εφαρμογές
 - Genomics, AI, Video processing, automotive, space, finance
- Διαρκώς αναπτυσσόμενη αγορά
 - Estimated Market Value (USD) 2023: \$9.7 Billion
 - Forecasted Market Value (USD) 2028: \$19.1 Billion

Γιατί να ασχοληθώ με τα FPGAs;

Amazon EC2 F1 Instances

Enable faster FPGA accelerator development and deployment in the cloud

Get Started with F1 Instances

Apply for free AWS credits to get started on
Amazon EC2 F1 instances

Amazon EC2 F1 instances use FPGAs to enable delivery of custom hardware accelerations. F1 instances are easy to program and come with everything you need to develop, simulate, debug, and compile your hardware acceleration code, including an FPGA Developer AMI and supporting hardware level development on the cloud. Using F1 instances to deploy hardware accelerations can be useful in many applications to solve complex science, engineering, and business problems that require high bandwidth, enhanced networking, and very high compute capabilities. Examples of target applications that can benefit from F1 instance acceleration are genomics, search/analytics, image and video processing, network security, electronic design automation (EDA), image and file compression and big data analytics.

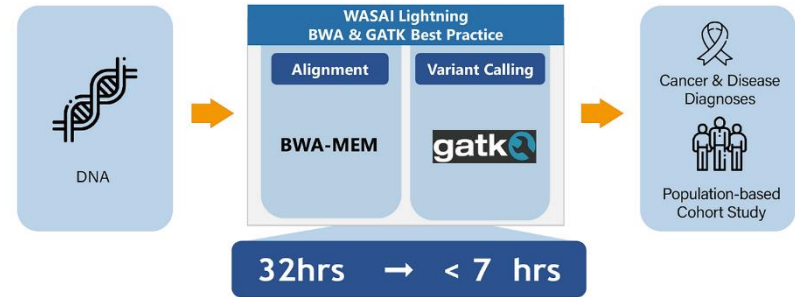
ACCELERATE COMPUTE TIME BY UP TO 100X

Amazon EC2 F1 instances provide up to 100X acceleration compared to CPUs for a diverse set of compute-bound applications. Customers can discover, test and deploy custom accelerators directly from the [AWS Marketplace](#) to accelerate their compute pipelines with ease. There is no need to know how to program FPGAs, as F1 based products developed by F1 technology partners are packaged as any other EC2 instance software.

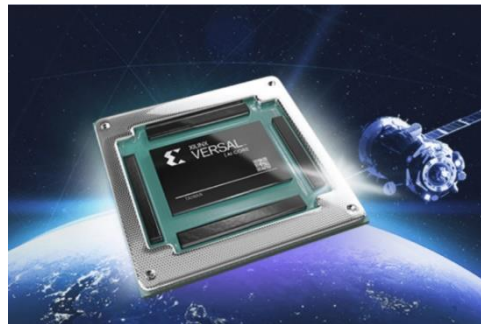
Accelerated Genomics Sequence Solution



WASAI forces to deliver the "Next- Generation Sequencing" accelerated solution, Lightning, an all-in-one server that optimizes and accelerates Genomics data processing, specifically designed for the precision medical industry.



Intel PAC With Arria 10 GX FPGA



WinBuzzer News

Microsoft Integrates FPGA-Powered 'Azure Boost' to Enhance Cloud Performance

Microsoft's novel cloud hardware upgrade, 'Azure Boost,' promises substantial performance enhancements across all future Azure instance types

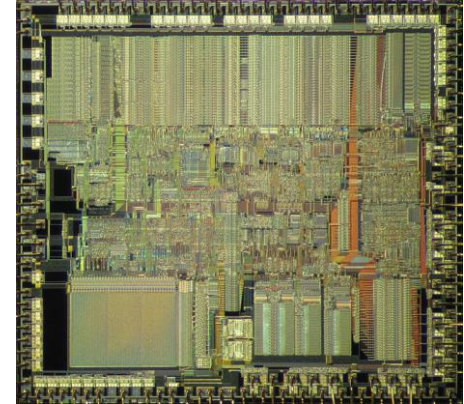
Γιατί τα FPGAs παρουσιάζουν ενδιαφέρον;

- Από τεχνικής πλευράς:
 - Για τους hardware/system-designers, παρόμοια με τα ASICs -
 - Ακόμα καλύτερα: “Tape-out” ενός νέου design σε λεπτά/ώρες
- “Reconfigurability” or “reprogrammability” τι άλλα πλεονεκτήματα προσφέρει σε σχέση με την fixed logic;
 - In-field reprogramming? Dynamic reconfiguration?
 - Self-modifying hardware, evolvable hardware?

Η σχετική ευελιξία έχει και ένα κόστος: μεγαλύτερη επιφάνεια πυριτίου, λίγο πιο αργά κυκλώματα και μεγαλύτερη κατανάλωση ισχύος

VLSI και ASIC

- Δεκαετία 80: Πολύ μεγάλη κλίμακα ολοκλήρωσης (Very Large Scale Integration)
 - Έπειτα ULSI (Ultra Large Scale), έπειτα τι;
 - Σήμερα το VLSI απλά σημαίνει σχεδίαση IC
- Ολοκληρωμένα κυκλώματα εξειδικευμένα για εφαρμογές (Application-Specific IC - ASIC)
 - Εφικτά λόγω εργαλείων CAD και εργοστασίων κατασκευής
 - Συχνά, σχεδιάζονται για μια γκάμα σχετικών προϊόντων σε ένα τμήμα της αγοράς
 - Πρότυπα προϊόντα εξειδικευμένα για εφαρμογές (Application-Specific Standard Products - ASSPs)
 - Π.χ., IC για κινητά τηλέφωνα



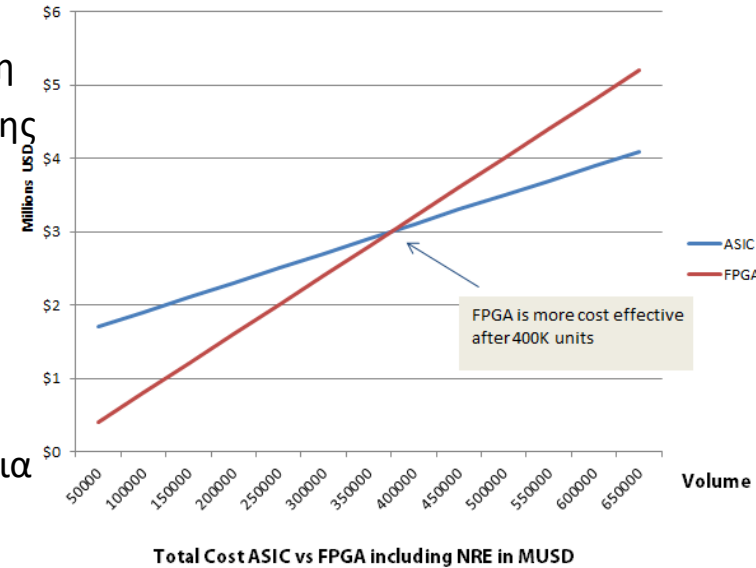
Intel 80386



Apple A9 processor

Τα οικονομικά των ASIC

- Ένα ASIC έχει χαμηλότερο κόστος από ένα FPGA
 - Αλλά περισσότερη προσπάθεια για σχεδίαση/επαλήθευση
 - Υψηλότερο μη επαναλαμβανόμενο κόστος τεχνικής μελέτης (Non-Recurring Engineering - NRE cost)
 - Απόσβεση σε όλη την παραγωγή
 - Τα ASIC έχουν νόημα για μεγάλες ποσότητες
- Πλήρως προσαρμοσμένα (full custom)
 - Σχεδιάζουμε κάθε τρανζίστορ και αγωγό
 - Υψηλό NRE, αλλά καλύτερη απόδοση, μικρότερη επιφάνεια
- Πρότυπα κελιά (standard cells)
 - Χρησιμοποιούμε βασικά στοιχεία από τη βιβλιοθήκη του εργοστασίου κατασκευής





FPGA

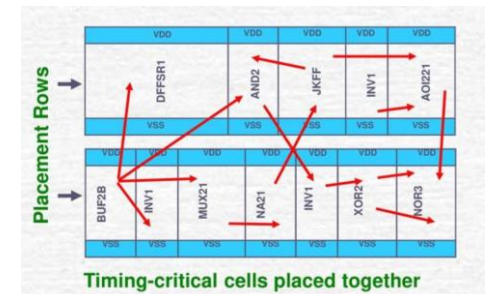
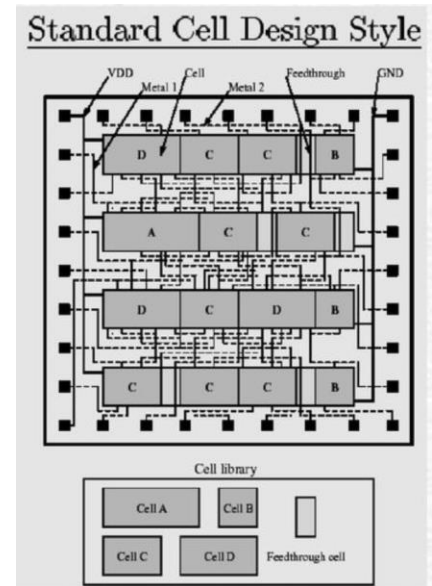
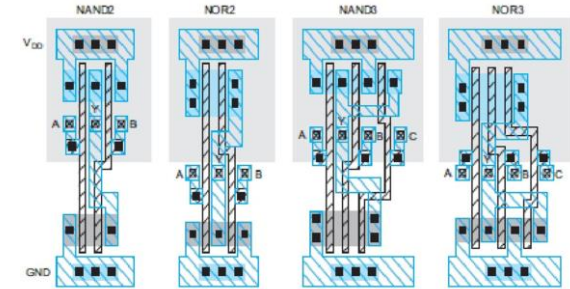
ASIC

Time to Market	Fast	Slow
NRE	Low	High
Design Flow	Simple	Complex
Unit Cost	High	Low
Performance	Medium	High
Power Consumption	High	Low
Unit Size	Medium	Low

AnySilicon.com

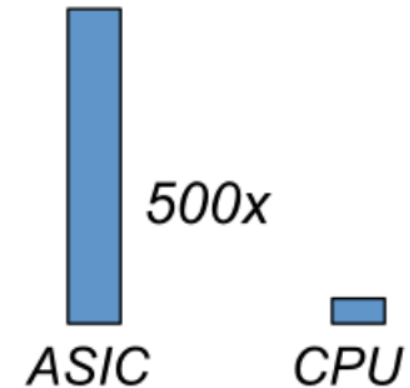
ASIC Design

- Standard cell ASICs (σύνηθες στα ψηφιακά ICs)
 - Βασίζεται σε σετ προσχεδιασμένων standard cells
 - Πχ NAND, NOR, FFs, FAs, για συγκεκριμένο technology node
 - “Lego” like
 - Τα standard cells χρησιμοποιούνται σε συνδυασμό με άλλα προσχεδιασμένα block (μνήμες)
 - Χρήση εργαλείων EDA (VHDL-> Layout)
 - Αυτόματο Place & Route (P&R)
- Full-custom ASICs (σύνηθες στα αναλογικά ICs)
 - Χειροκίνητο layout καθενός transistor
 - Υψηλό NRE cost
 - Πλήρης βελτιστοποίηση του μεγέθους του die, κατανάλωσης

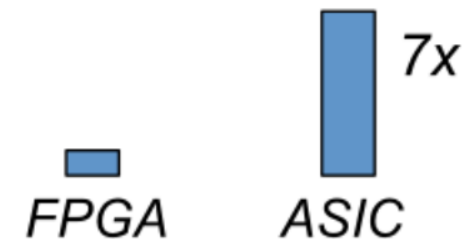


Energy efficiency: CPU vs ASIC vs FPGA

Rehan Hameed, Wajahat Qadeer, Megan Wachs, Omid Azizi, Alex Solomatnikov, Benjamin C. Lee, Stephen Richardson, Christos Kozyrakis, and Mark Horowitz. Understanding sources of inefficiency in general-purpose chips. SIGARCH Comput. Archit. News, 38:37–47, June 2010.



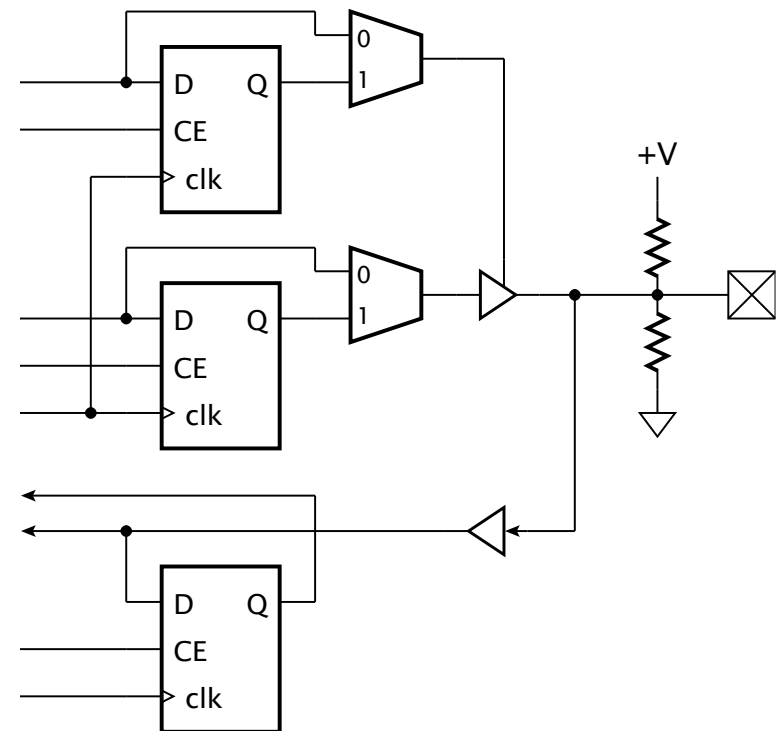
Alan Kuon and Jonathan Rose. Measuring the gap between FPGAs and ASICs. In Proceedings of the 2006 ACM/SIGDA 14th international symposium on Field programmable gate arrays, FPGA '06, pages 21–30, New York, NY, USA, 2006. ACM



$$\therefore \text{FPGA} : \text{CPU} = 70x$$

Μπλοκ Εισόδου/Εξόδου (I/O)

- Συνήθως, υποστηρίζουν συνδυαστική είσοδο/έξοδο ή μέσω καταχωρητή, και τριών καταστάσεων
 - Προγραμματιζόμενα επίπεδα λογικής, ρυθμός μεταβολής, κατώφλι εισόδου, ...



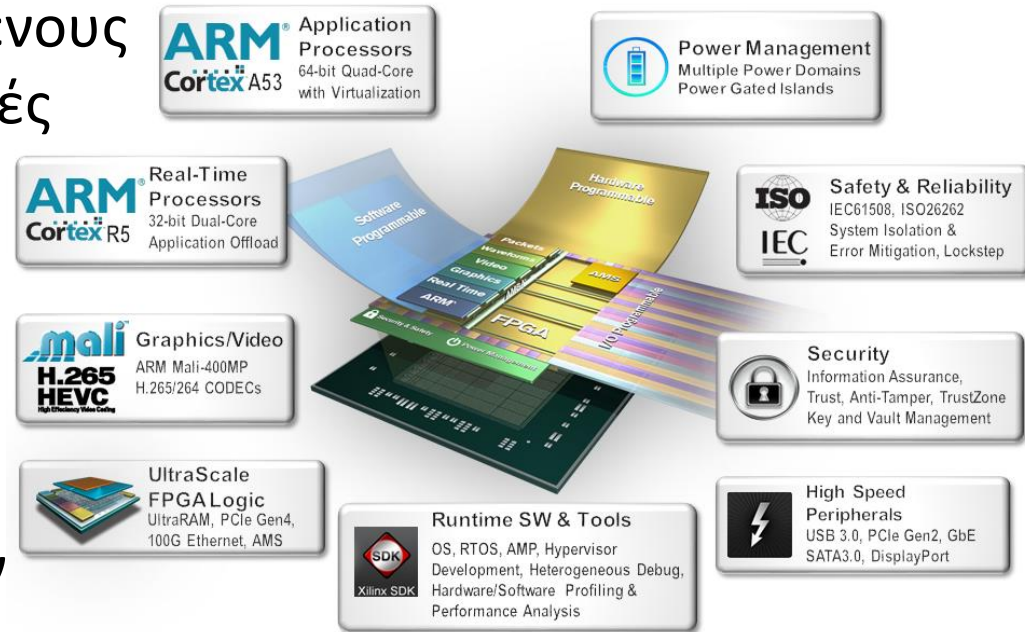
Πλατφόρμες FPGA

- Περιλαμβάνουν ενσωματωμένους πυρήνες για ειδικές εφαρμογές

- Πυρήνες επεξεργαστών
- Αριθμητικούς πυρήνες επεξεργασίας σήματος
- Πυρήνες διασύνδεσης δικτύου

- Το ενσωματωμένο λογισμικό μπορεί να εκτελεστεί από την SRAM στο FPGA

- Λύση μονού τσιπ, μειώνει το κόστος
- Αποφεύγει το υψηλό NRE του ASIC



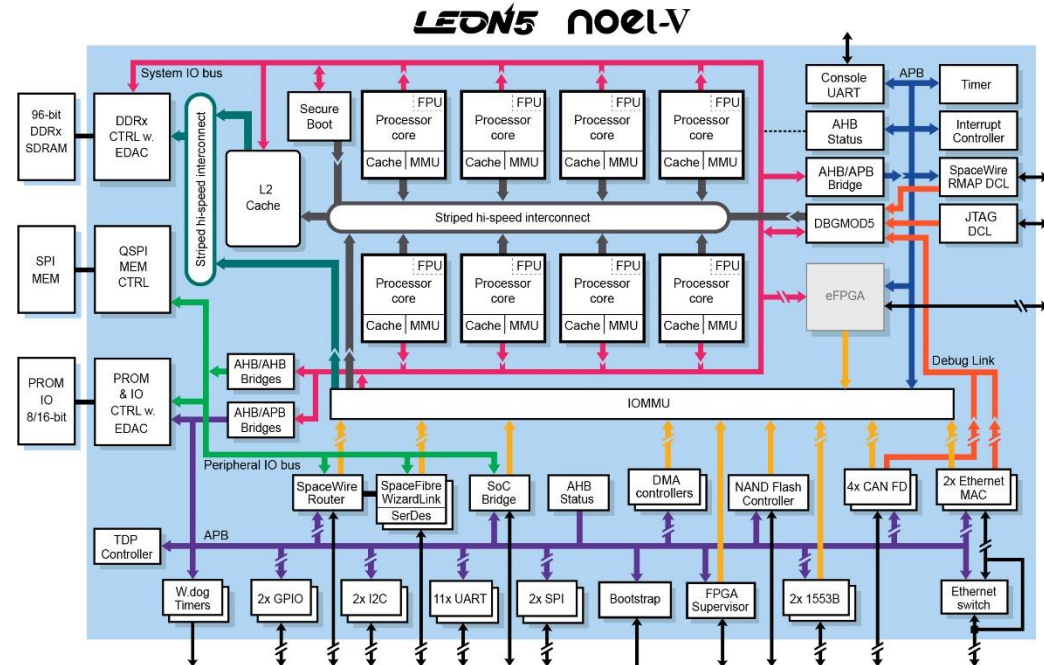
Xilinx Zynq UltraScale+ MPSoC

Παραδείγματα System-on-Chip στο διάστημα: Institutional Missions

Features

- ❖ 8x Fault-tolerant LEON5FT or NOEL-V FT with dedicated FPU and MMU
- ❖ 32 KiB per core L1 cache, connected to advanced interconnect providing multiple-parallel paths between processors and Level-2 Cache
- ❖ 2+ MiB L2 cache, 512-bit cache line, 4-ways
- ❖ DMA controllers
- ❖ SpaceFibre x4+ lanes 6.25 Gbit/s, simpler protocols (Wizard link)
- ❖ 12-port SpaceWire router with +4 internal ports
- ❖ 3x 10/100/1000 Mbit Ethernet with TT Ethernet support. TSN support TBD.
- ❖ 2x MIL-STD-1553B
- ❖ 4x CAN FD
- ❖ 12 x UART
- ❖ 2x SPI master/slave, GPIO, Timers & Watchdog
- ❖ 2x I2C interface
- ❖ NAND Flash controller interface
- ❖ FPGA Supervisor interface
- ❖ SoC Bridge interface for efficient connection to companion FPGAs
- ❖ High-pin count – LGA1752
- ❖ Debug links: Ethernet, JTAG, SpaceWire, CAN

Source: Gaisler



Specification

- ❖ Processor target frequency: 1 GHz
- ❖ Target technology: STM 28nm FDSOI
- ❖ TID immunity: 50 krad (Si) assured by technology - device targets higher tolerance
- ❖ Main memory interface: DDR3 SDRAM fault-tolerant memory controller with dual x8 device correction capability
- ❖ High Speed Serial Links: SpaceFibre and WizardLink controllers with on-chip SerDes

Παραδείγματα System-on-Chip στο διάστημα: Institutional Missions



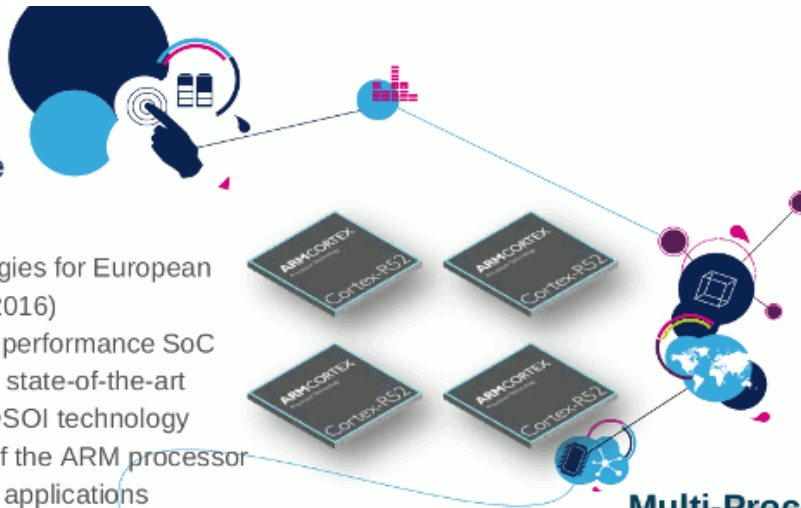
Deep sub-micron microprocessor for spAce

Context & Objectives

- H2020 project for “Critical Space Technologies for European Strategic Non-Dependence” (COMPET-1-2016)
- covers the development of a rad-hard high performance SoC with a quad-core architecture based on the state-of-the-art ARM Cortex-R52 implemented in 28nm FDSOI technology
- Beyond Space applications, the adoption of the ARM processor will enable the convergence with terrestrial applications benefiting from the strong ARM ecosystem.

7 partners from 4 countries

- STMicroelectronics (coordinator) France
- Airbus D&S Germany & France
- Thales Alenia Space Italy & France
- ISD Greece
- NanoXplore France

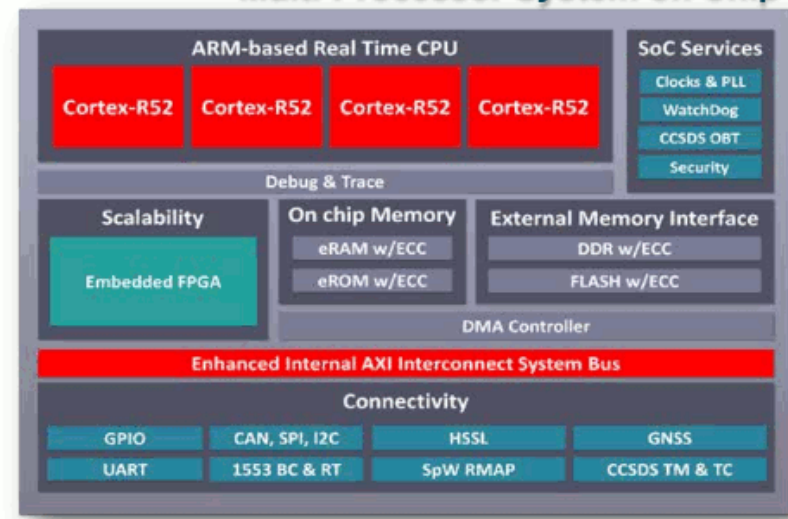


OPEN

H2020 Schedule

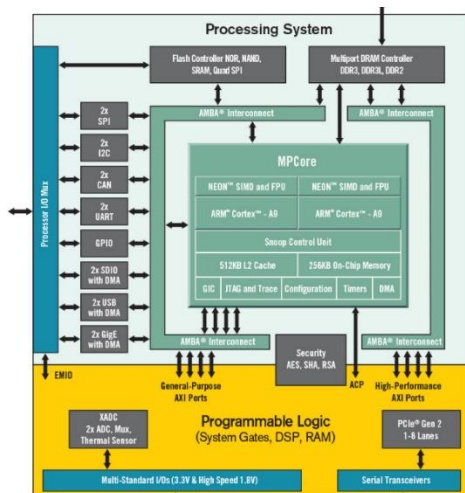
2017: Kick-off
2018: FPGA prototype
end 2019: DAHLIA product

Multi-Processor System on Chip

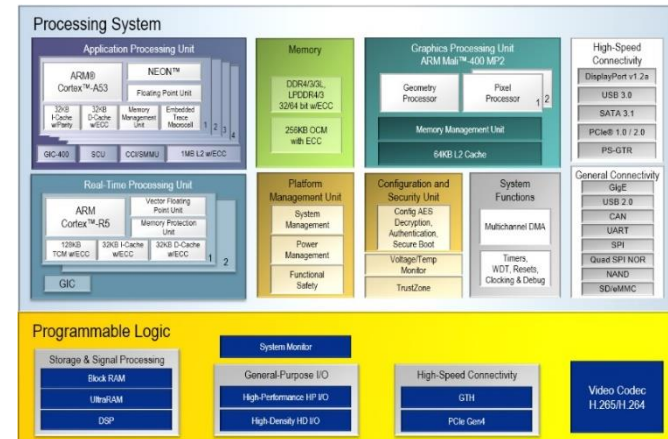
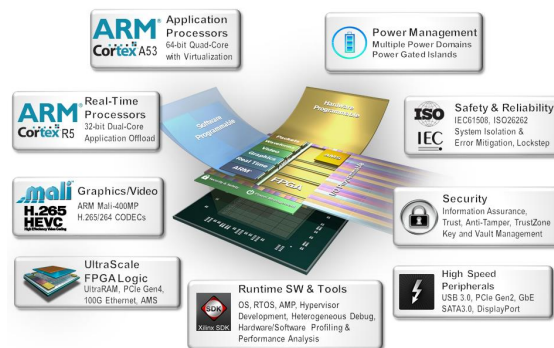


Παραδείγματα System-on-Chip στο διάστημα: NewSpace/Space 2.0, CubeSats, Nanosatellites

- NewSpace: Εμπορευματοποίηση του διαστήματος
 - Χρήση Commercial-Off-The-Shelf (COTS) components
 - Υψηλή απόδοση για εφαρμογές on-board payload data processing
 - Minimize time-to-market
- Field Programmable Gate Arrays (FPGAs) System-On-Chip (SoC)
 - Σήμερα υπάρχουν διαθέσιμα FPGA SoC υψηλής απόδοσης και χωρητικότητας
 - Χρησιμοποιούνται ως System-On-Programmable-Chip (SoPC) ολοκληρώνοντας όλα τα συστατικά στοιχεία

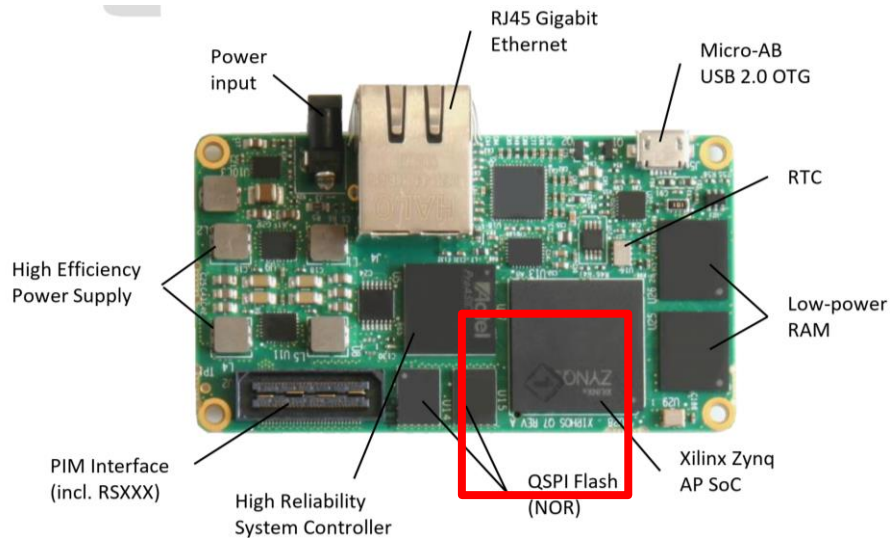


Xilinx Zynq-7000 SoC

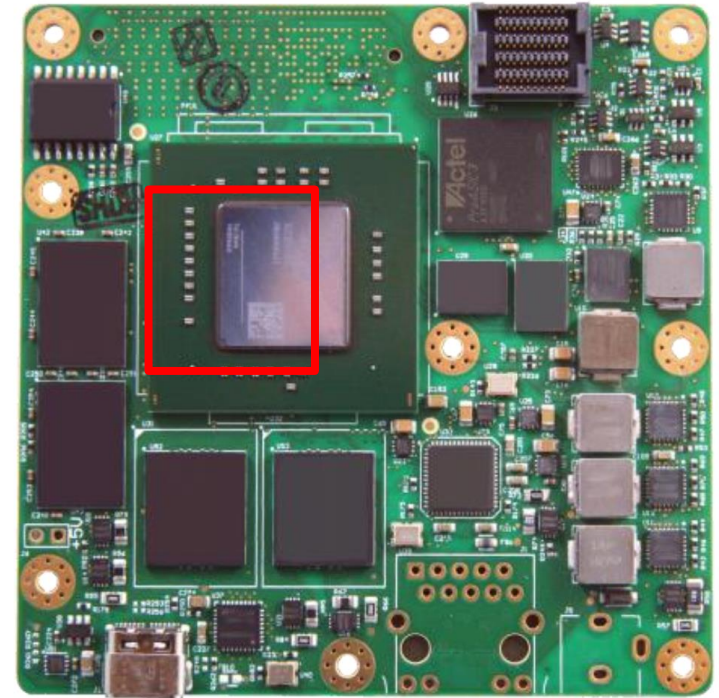


Xilinx UltraScale+ MPSoC

Παραδείγματα System-on-Chip στο διάστημα: NewSpace/Space 2.0, CubeSats, Nanosatellites

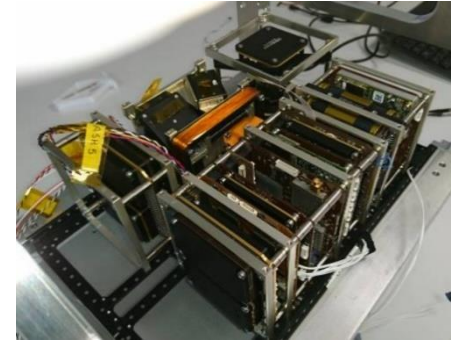


Xiphos Q7 Q-Card (Zynq-7020 FPGA SoC)
ARM dual-core Cortex-A9 MPCore
processors each up to 766 MHz
Mass 24g, Power 2W, 78mm X 43mm X 9mm



Xiphos Q8 Q-Card (Zynq UltraScale+ XCZU7EG)
Quad-core ARM Cortex-A53 Application
Processing Unit at up to 1.2 GHz
Mass 64g, Power 4W, 85.8mm X 80mm X 11.2mm

OBC για CubeSats



Hardware features:

SoC Xilinx Zynq 7030/7045 Programmable SoC.

Dual ARM Cortex A9 MPCore, clocked up to 800 MHz

Powerful FPGA module – 125K / 350K logic cells

Volatile Memory

1024MB DDR3 (512MB with ECC enabled)

Non-volatile Memory

256 MB NOR flash

70GB eMMC (pSLC) and 233GB eMMC (MLC)

Mechanical dimensions 95 mm x 95 mm x 31.5 mm

Mass 240g

Power supply voltage 12-32V DC

Interfaces:

SpaceWire x3, data link/network layer

USB x1, host/device

CAN/I2C/SPI/RS422/RS485/PPS

Fully Configurable I/O

FPGA I/O 11 x LVDS pairs, 10 x I/O

Conditionally Configurable I/O

FPGA I/O 12 x LVDS pairs (or Spacewire)

8 x I/O (or RS-485)

ARM I/O 6 x I/O (or eMMC#2)

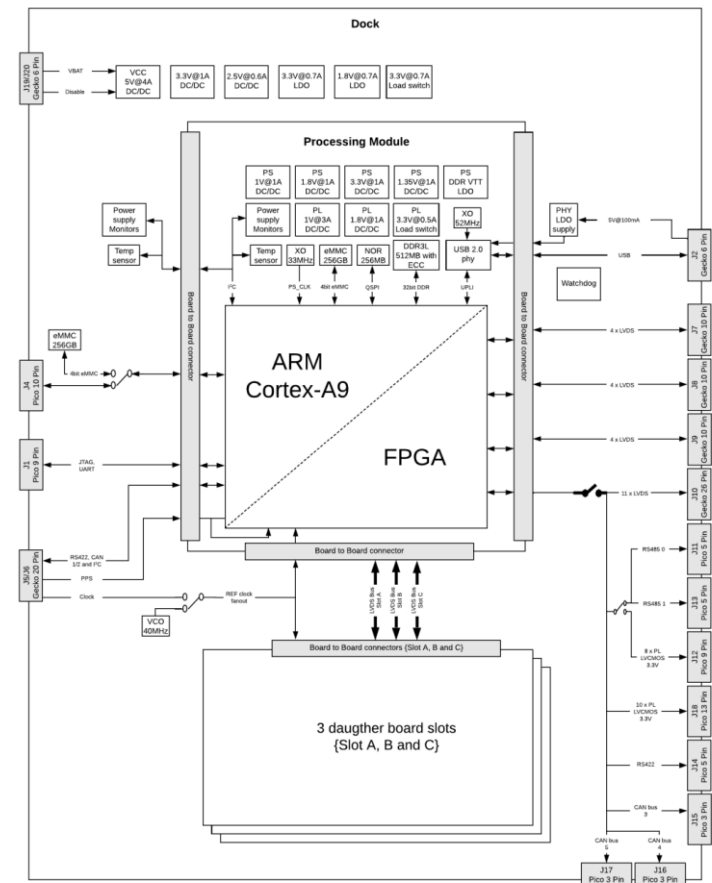
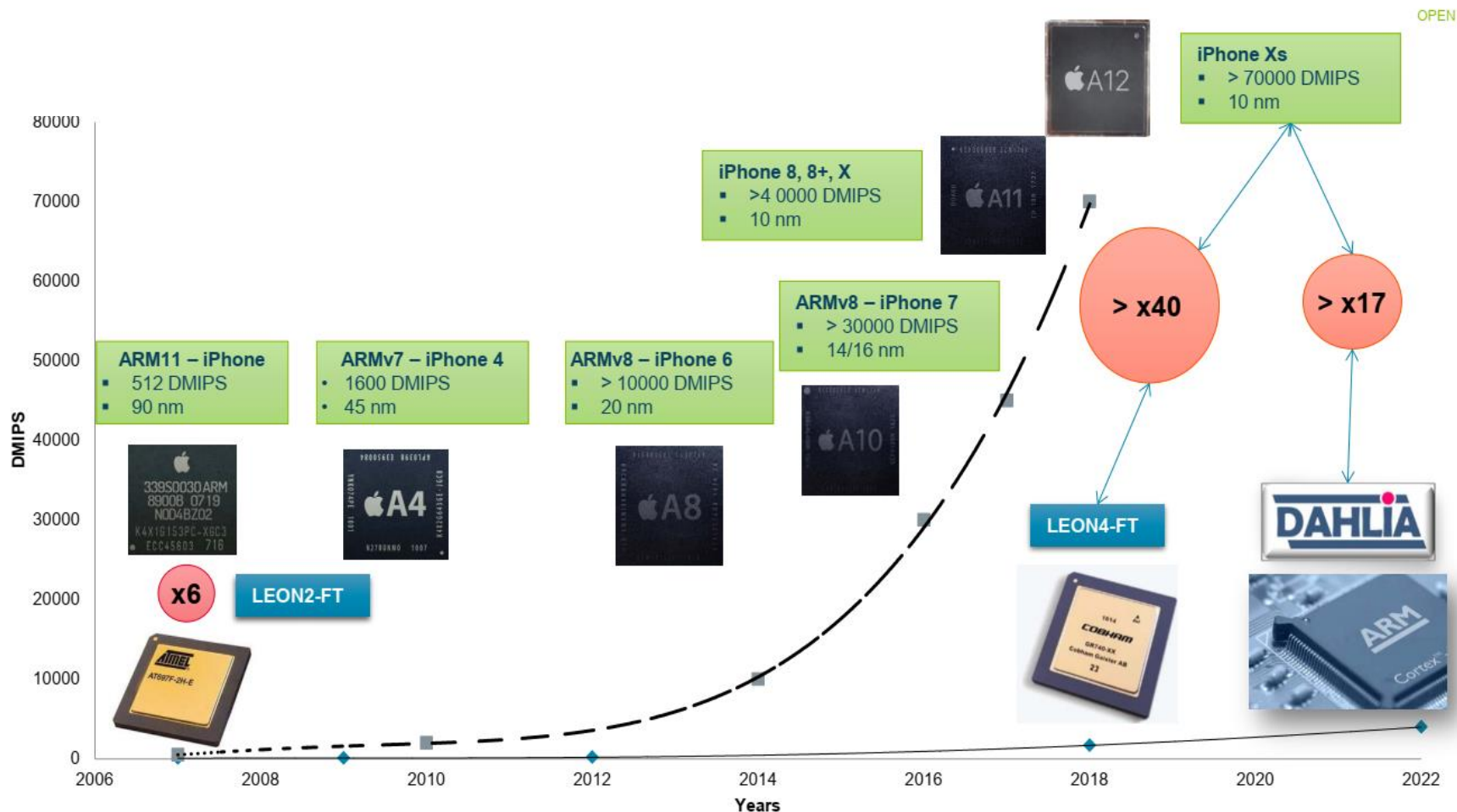


Figure 3.1: NanoMind HP MK3 Block diagram

Credit: Gomspace

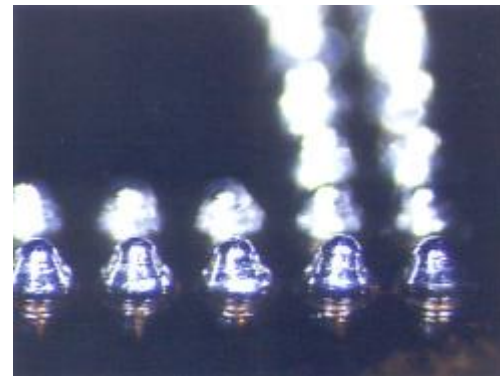
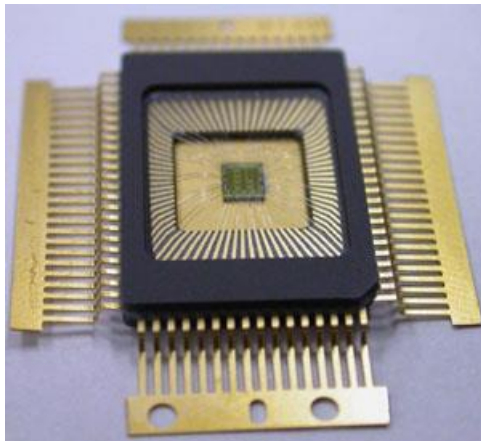
On-Board Processor SoCs: Τεχνολογικό χάσμα



Credit: ABDS

Συσκευασίες IC

- Τα IC ενθυλακώνονται σε προστατευτική συσκευασία
 - Εξωτερικοί ακροδέκτες για να συνδεθούν με την πλακέτα κυκλώματος
 - Καλώδια συγκόλλησης ή συνδέσεις flip-chip

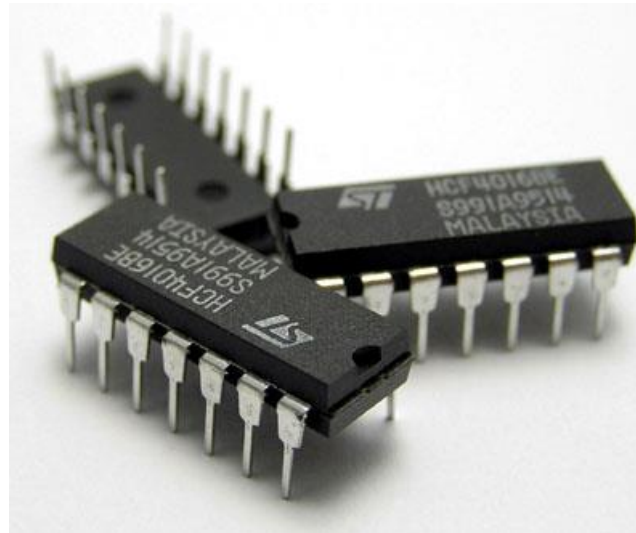
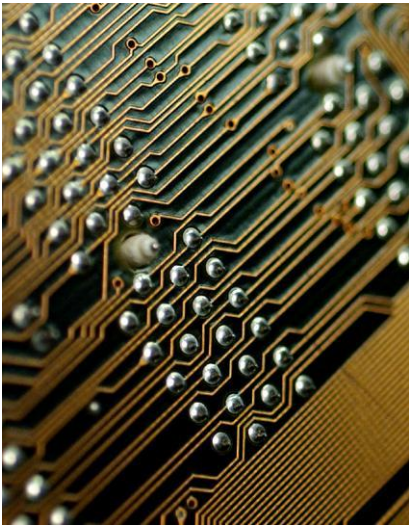


Printed Circuit Boards (PCBs)

- Πλακέτες τυπωμένου κυκλώματος
- Στρώματα μεταλλικής καλωδίωσης μεταξύ στρωμάτων μονωτικού υλικού (fiberglass)
 - Κατασκευάζεται με χρήση φωτολιθογραφίας και εγχάραξης
- Οι αγωγοί διασυνδέουν IC και άλλα στοιχεία
 - Εξωτερικές συνδέσεις σε άλλα στοιχεία του συστήματος

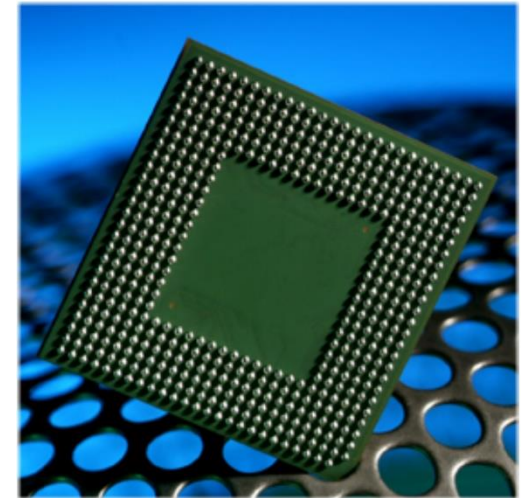
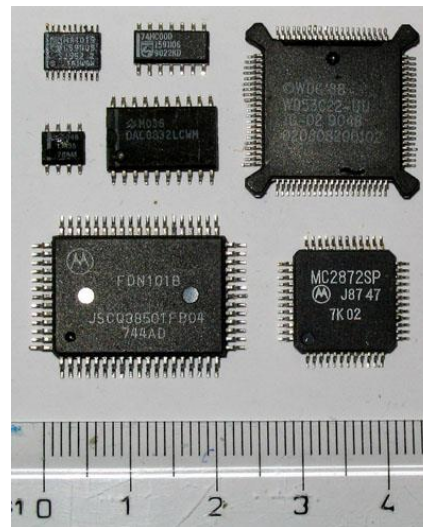
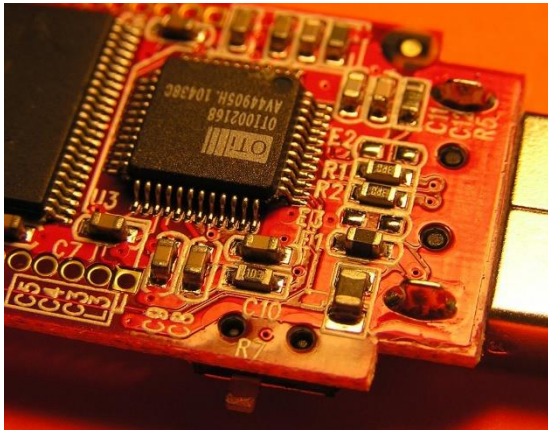
Through-Hole PCB

- Πλακέτα διαμέσου οπής
- Οι ακροδέκτες της συσκευασίας του IC περνούν μέσα σε οπές που έχουν γίνει με τρυπάνι
 - Κόλληση με τους αγωγούς του PCB που ενώνονται με την οπή χρησιμοποιώντας κασσίτερο



Surface Mount PCB

- Πλακέτα τοποθέτησης επιφανείας
- Κόλληση των ακροδεκτών της συσκευασίας του IC με τους αγωγούς στην επιφάνεια του PCB χρησιμοποιώντας κασσίτερο
 - Τα χαρακτηριστικά των συσκευασιών και του PCB είναι γενικά μικρότερα σε σχέση με την πλακέτα διαμέσου οπής



Μονάδες Πολλαπλών Τσιπ

- Multi-Chip Modules (MCMs)
- Πολλά IC σε ένα κεραμικό υπόστρωμα
 - Μπορούν επίσης να περιλαμβάνουν παθητικά και διακριτά στοιχεία πάνω στο υμένιο
 - Εξωτερικές συνδέσεις για τοποθέτηση στο PCB
 - Ιδανικά για εφαρμογές υψηλής πυκνότητας
 - Π.χ., κινητά τηλέφωνα

