



ΕΛΛΗΝΙΚΗ ΔΗΜΟΚΡΑΤΙΑ
Εθνικόν και Καποδιστριακόν
Πανεπιστήμιον Αθηνών
— ΙΔΡΥΘΕΝ ΤΟ 1837 —

ΔΠΜΣ Space Technologies, Applications and seRvices (STAR)

M806 Space Data Systems

ΤΕΧΝΟΛΟΓΙΑ FPGA ΤΗΣ XILINX

Ακαδημαϊκό Έτος 2024-2024
Νεκτάριος Κρανίτης

Περιεχόμενα

- Εισαγωγή στην τεχνολογία 7-Series FPGA της Xilinx

Εισαγωγή στα FPGAs της Xilinx

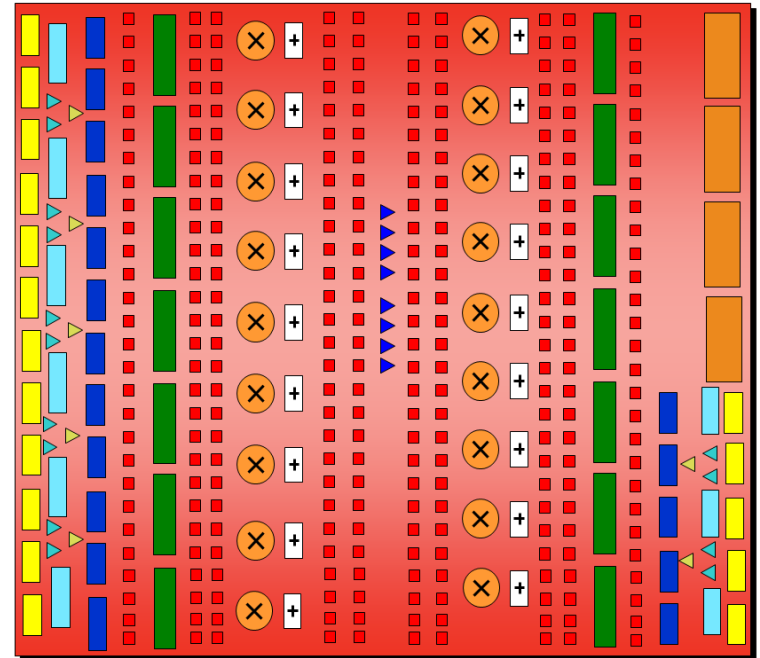
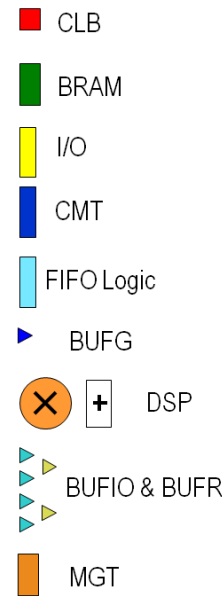
- Όλα τα FPGAs περιέχουν τους ίδιους βασικούς πόρους
- Logic Resources
 - Slices (ομαδοποιημένα σε Configurable Logic Blocks -CLBs)
 - Περιέχουν συνδυαστική λογική και καταχωρητές
 - Μνήμη
 - Πολλαπλασιαστές
- Interconnect Resources
 - Προγραμματιζόμενη διασύνδεση (Programmable interconnect)
 - IOBs για διασύνδεση μεταξύ του FPGA και του περιβάλλοντός του
- Άλλα resources
 - Global clock buffers
 - Boundary scan logic
- Από γενιά σε γενιά, η Xilinx πρόσθεσε νέους αρχιτεκτονικούς πόρους στοχεύοντας διαφορετικές αγορές και εφαρμογές

Οικογένειες 7-Series FPGA + SoC της Xilinx

	ARTIX ⁷	KINTEX ⁷	VIRTEX ⁷	ZYNQ [™]
Maximum Capability	Lowest Power and Cost	Industry's Best Price/Performance	Industry's Highest Performance	All Programmable SoC
Logic Cells in K	33 – 215	66 – 478	583 – 1,139	28 – 444
Block RAM in Mb	2 – 12	4 – 34	28 – 68	2 - 27
DSP Slices	90 – 740	240 – 1,920	1,260 – 3,360	80–2,020
Peak DSP Perf. (GMACs)	929	2,845	5,335	2,622
Transceivers	Up to 16	Up to 32	Up to 88	Up to 16
Transceiver Perf. (Gbps)	6.6	12.5	12.5, 13.1 and 28	6.6, 12.5
Memory Perf. (Mbps)	1066	1866	1866	1333
User I/O Pins	106 – 500	285 – 500	350 – 1,100	54 – 400
I/O Voltages	3.3V and below	3.3V and below 1.8V and below	3.3V and below 1.8V and below	3.3V and below 1.8V and below

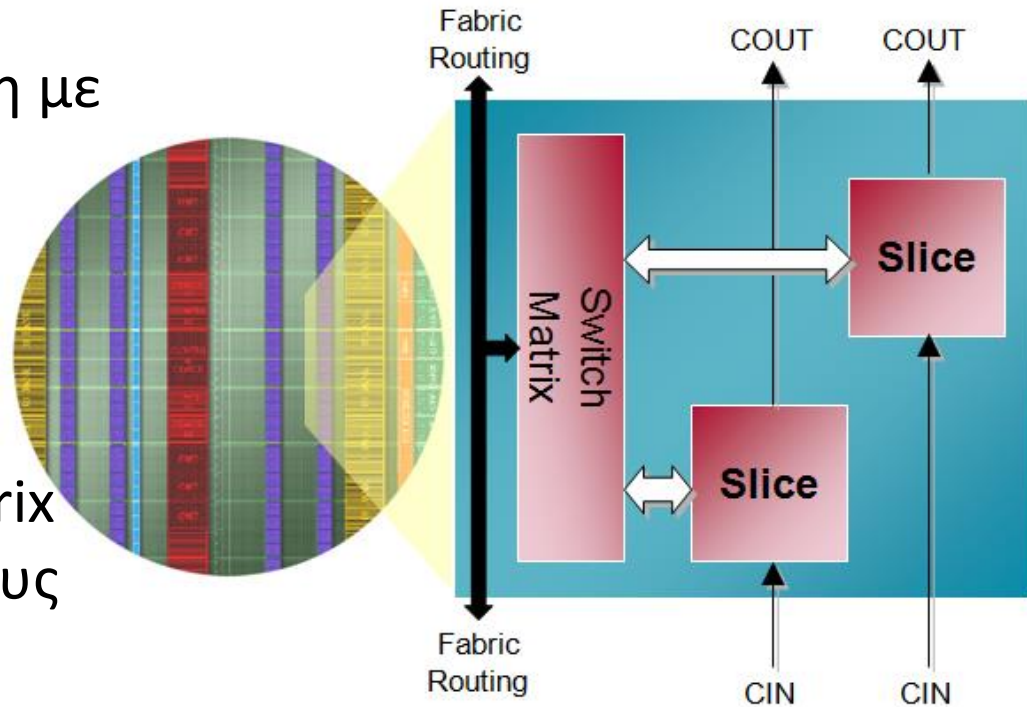
Αρχιτεκτονική 7-Series της Xilinx

- Η χρήση κοινών στοιχείων επιτρέπει την επαναχρησιμοποίηση IP για όλες τις οικογένειες της 7-Series της Xilinx
 - Κλιμάκωση της σχεδίασης από χαμηλού κόστους έως υψηλής απόδοσης
 - Εκτεταμένη υποστήριξη οικοσυστήματος
 - Ταχύτατο time-to-market



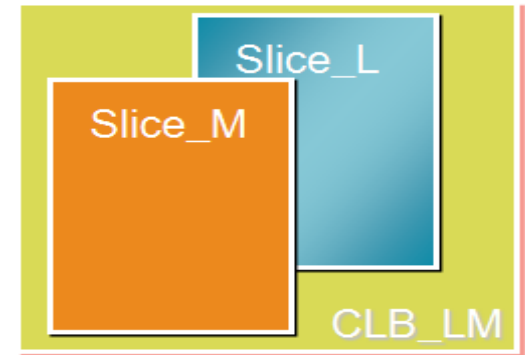
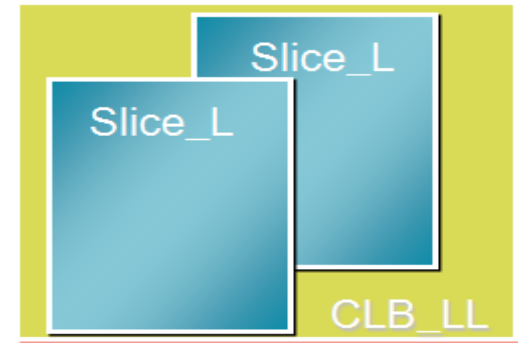
Configurable Logic Block (CLB) in 7-Series FPGAs

- Βασικός πόρος για τη σχεδίαση με Xilinx FPGAs
 - Συνδυαστική λογική
 - Flip-flops
- Το CLB περιέχει δύο slices
- Συνδέονται με ένα switch matrix για το routing σε άλλους πόρους του FPGA
 - Η αλυσίδα κρατουμένου (carry chain) διατρέχει κάθετα το CLB σε μια στήλη από το ένα slice στο από πάνω του

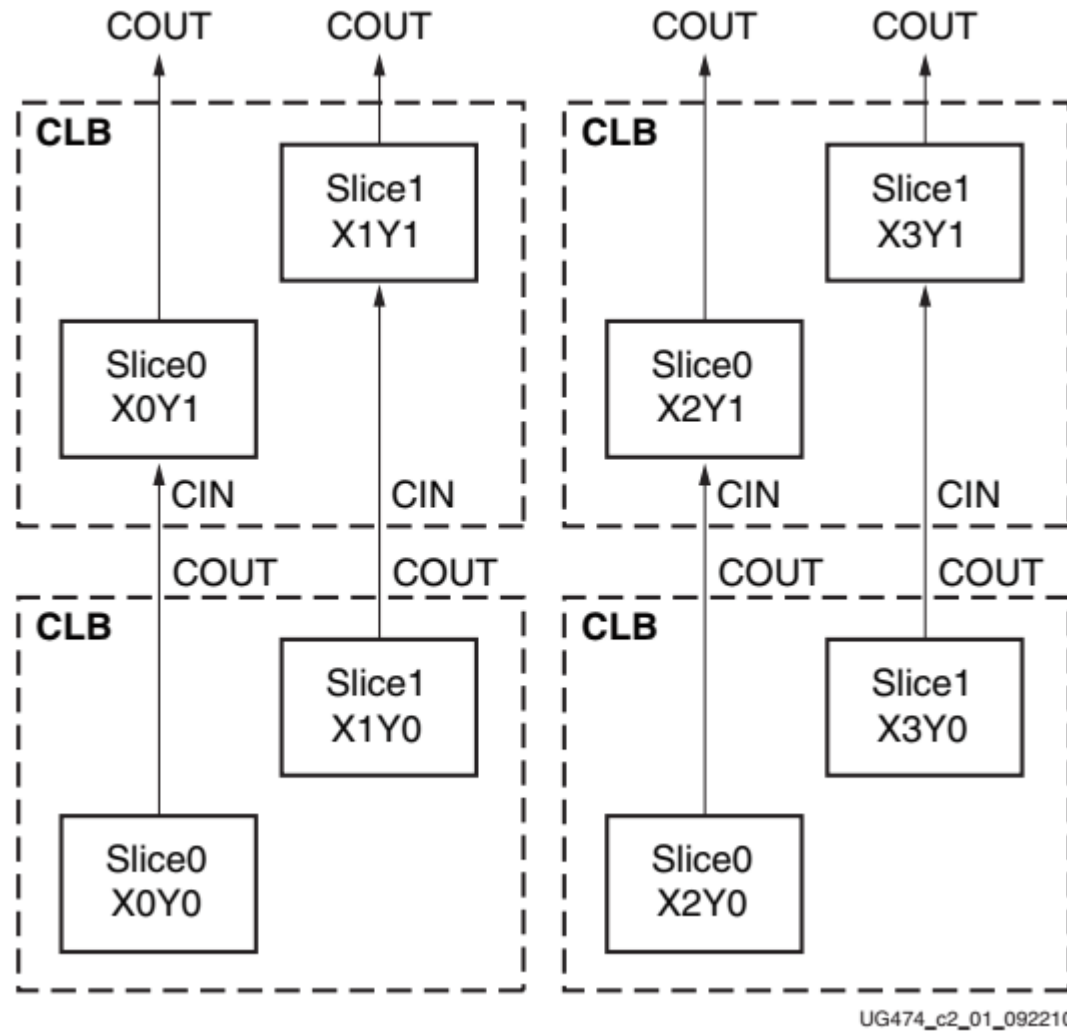


Δύο τύποι CLB Slices

- Δύο τύποι CLB Slices
 - SLICEM: Πλήρες slice
 - Το LUT μπορεί να χρησιμοποιηθεί για λογική και μνήμη / SRL
 - Διαθέτει πολυπλέκτες μεγάλου εύρους και αλυσίδα κρατουμένου
 - Το 1/3 του συνόλου των slices
 - SLICEL: Λογική και αριθμητική μόνο
 - Το LUT μπορεί να χρησιμοποιηθεί **μόνο για λογική** (όχι μνήμη)
 - Διαθέτει πολυπλέκτες μεγάλου εύρους και αλυσίδα κρατουμένου
 - Τα 2/3 του συνόλου των slices



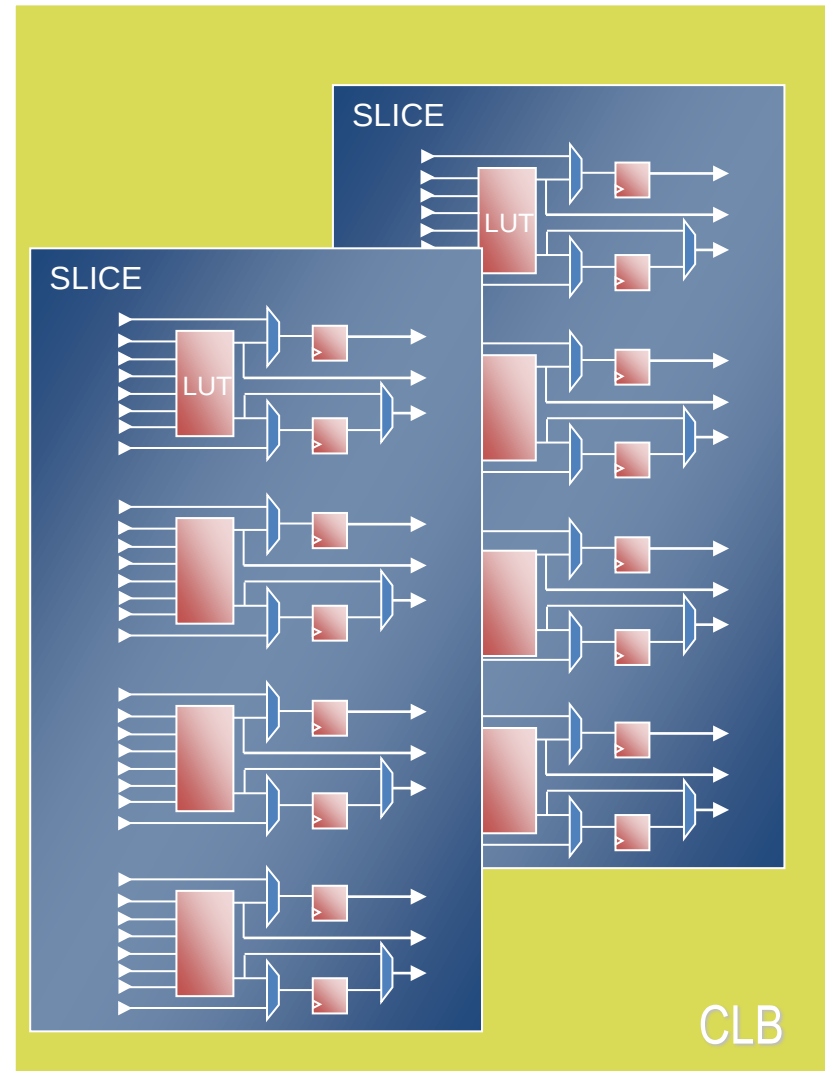
Διάταξη CLB Slices



Το σχήμα δείχνει 4 CLBs που βρίσκονται στην κάτω – αριστερή γωνία του die

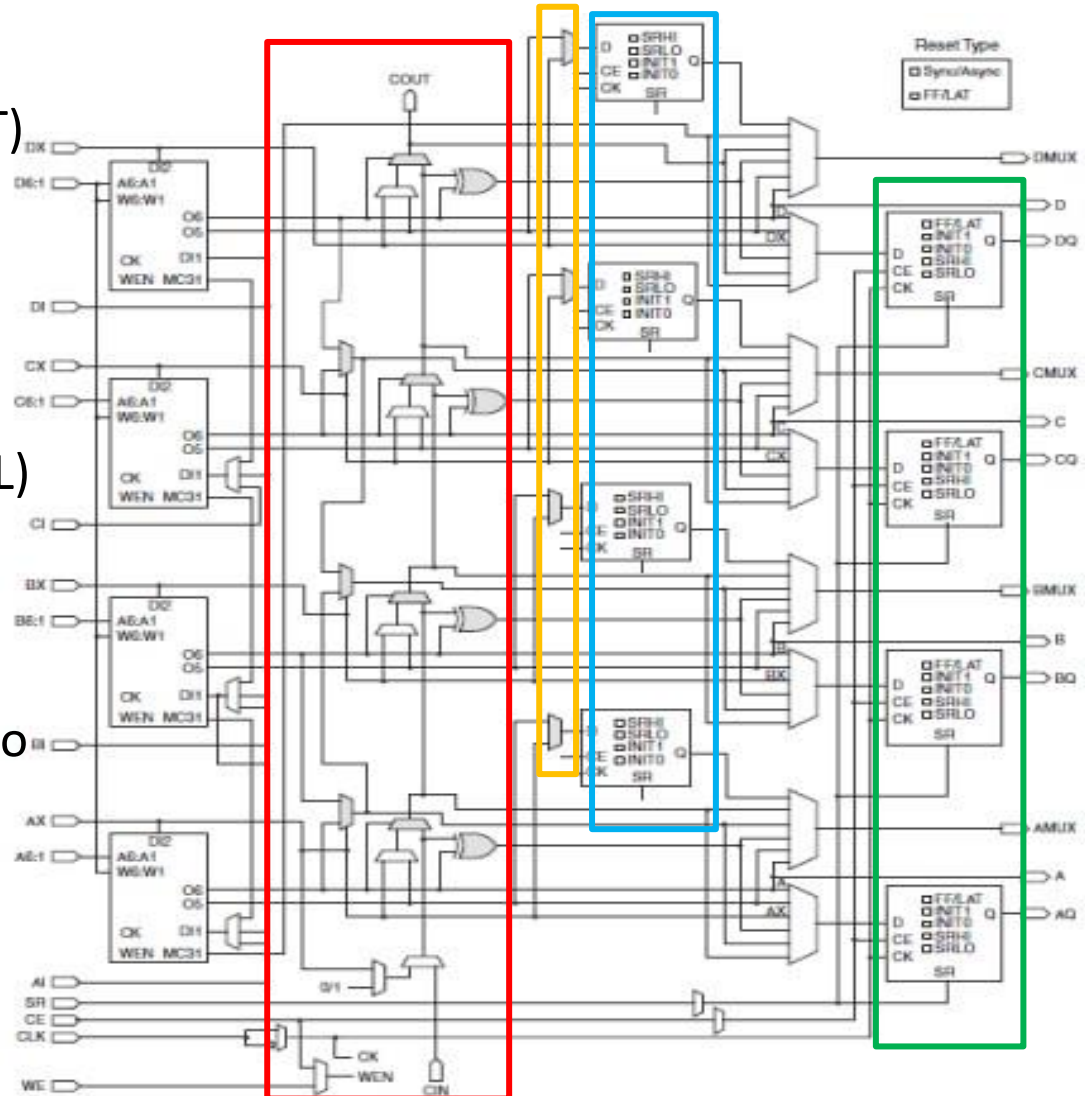
Πόροι ενός Slice

- Τέσσερα 6-input LUTs ανά slice
 - Συμβατό με προηγούμενες αρχιτεκτονικές
- Δύο flip-flops ανά LUT
 - Εξαιρετικό για σχέδια με βαθύ pipeline

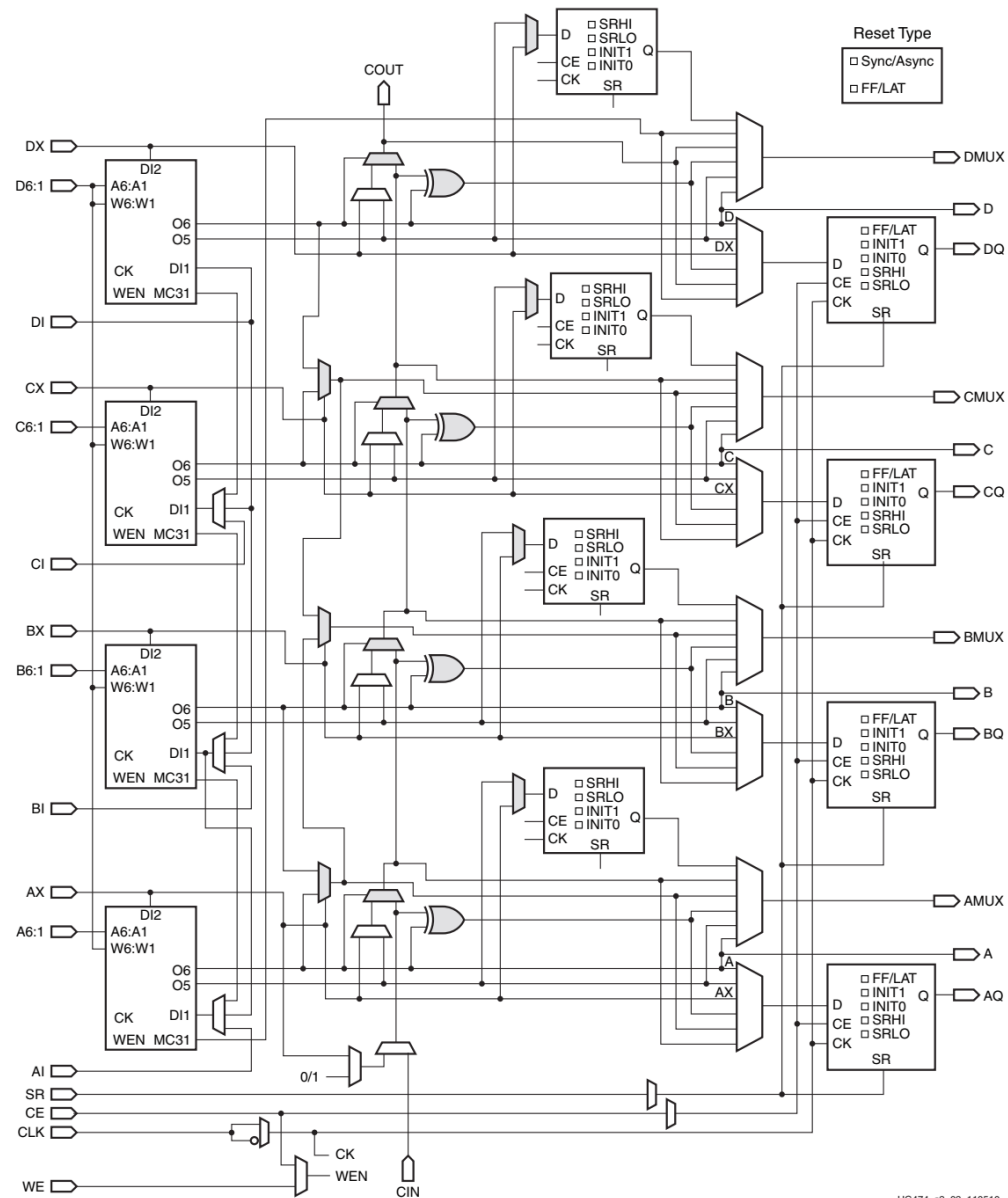


Πόροι ενός Slice

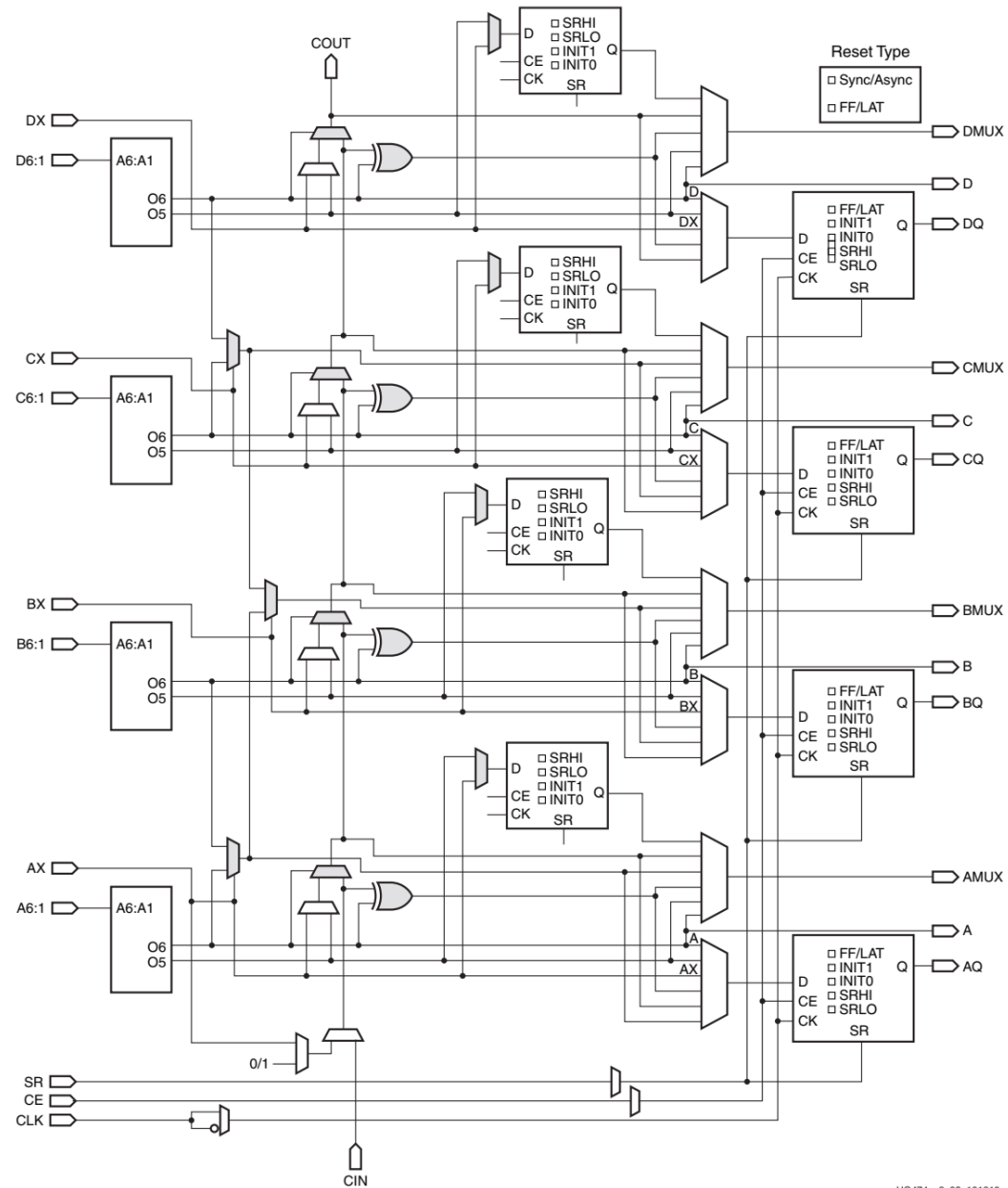
- Τέσσερα Look-Up Tables (LUT) των 6 εισόδων
- Πολυπλέκτες
- Αλυσίδες κρατουμένου (carry chains)
- Καταχωρητές Ολίσθησης (SRL)
- Τέσσερα flip-flops/latches
 - Τέσσερα επιπλέον flip-flops
- Το εργαλείο υλοποίησης θα στοιβάξει πολλαπλά slices στο ίδιο CLB εάν πληρούνται κάποιοι κανόνες



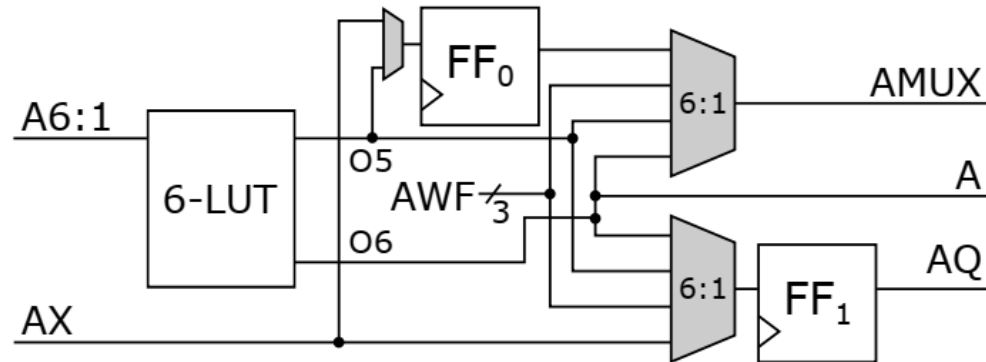
Διάγραμμα ενός SLICEM



Διάγραμμα ενός SLICEL

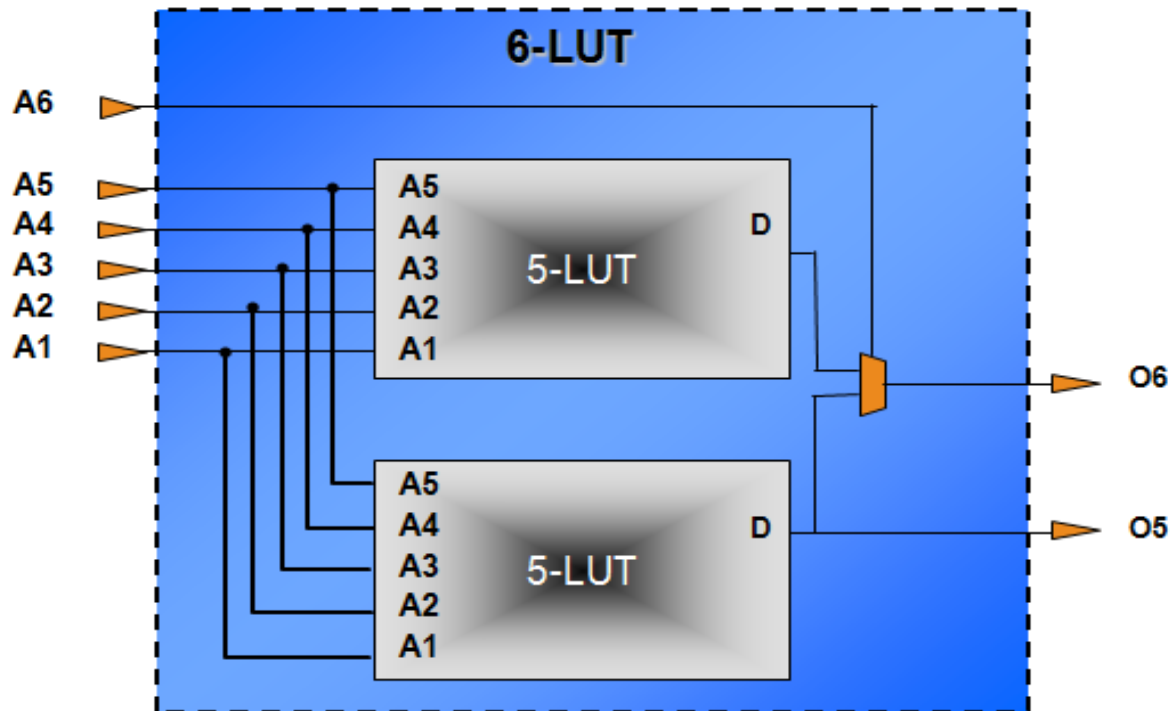


Στοιχείο λογικής ενός SLICEL



LUT 6-εισόδων με Διπλή Έξοδο

- Τα LUTs μπορούν να είναι δύο LUTs 5-εισόδων με κοινή είσοδο
 - Ελάχιστη επιβάρυνση στην ταχύτητα
 - Μία ή δύο εξοδοι
- Οποιαδήποτε λογική συνάρτηση των 6 μεταβλητών ή δύο συναρτήσεις των 5 μεταβλητών



LUT 6-εισόδων με Διπλή Έξοδο

The function generators in 7 series FPGAs are implemented as six-input look-up tables (LUTs). There are six independent inputs (A inputs - A1 to A6) and two independent outputs (O5 and O6) for each of the four function generators in a slice (A, B, C, and D). The function generators can implement:

- Any arbitrarily defined six-input Boolean function
- Two arbitrarily defined five-input Boolean functions, as long as these two functions share common inputs
- Two arbitrarily defined Boolean functions of 3 and 2 inputs or less

A six-input function uses:

- A1-A6 inputs
- O6 output

Two five-input or less functions use:

- A1-A5 inputs
- A6 driven High
- O5 and O6 outputs

The propagation delay through a LUT is independent of the function implemented. Signals from the function generators can:

- Exit the slice (through A, B, C, D output for O6 or AMUX, BMUX, CMUX, DMUX output for O5)
- Enter the XOR dedicated gate from an O6 output
- Enter the carry-logic chain from an O5 output
- Enter the select line of the carry-logic multiplexer from O6 output
- Feed the D input of the storage element
- Go to F7AMUX/F7BMUX wide multiplexers from O6 output

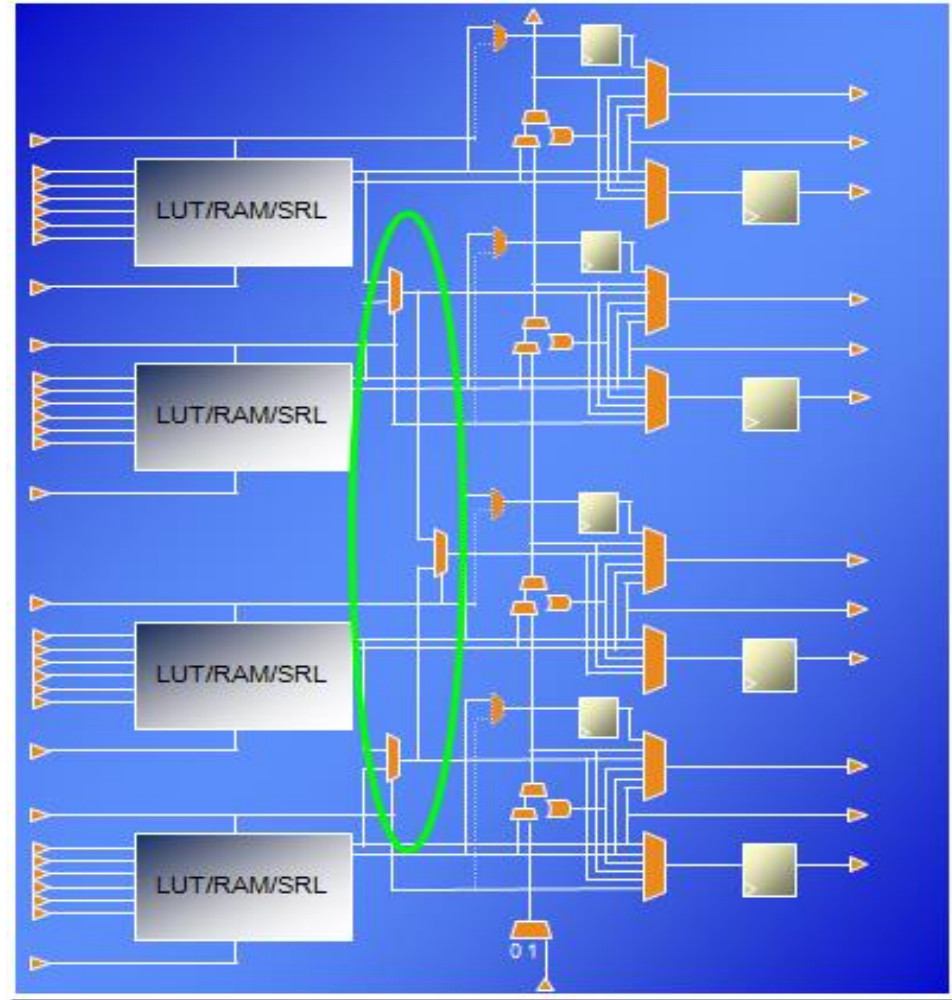
In addition to the basic LUTs, slices contain three multiplexers (F7AMUX, F7BMUX, and F8MUX). These multiplexers are used to combine up to four function generators to provide any function of seven or eight inputs in a slice.

- F7AMUX: Used to generate seven input functions from LUTs A and B
- F7BMUX: Used to generate seven input functions from LUTs C and D
- F8MUX: Used to combine all LUTs to generate eight input functions.

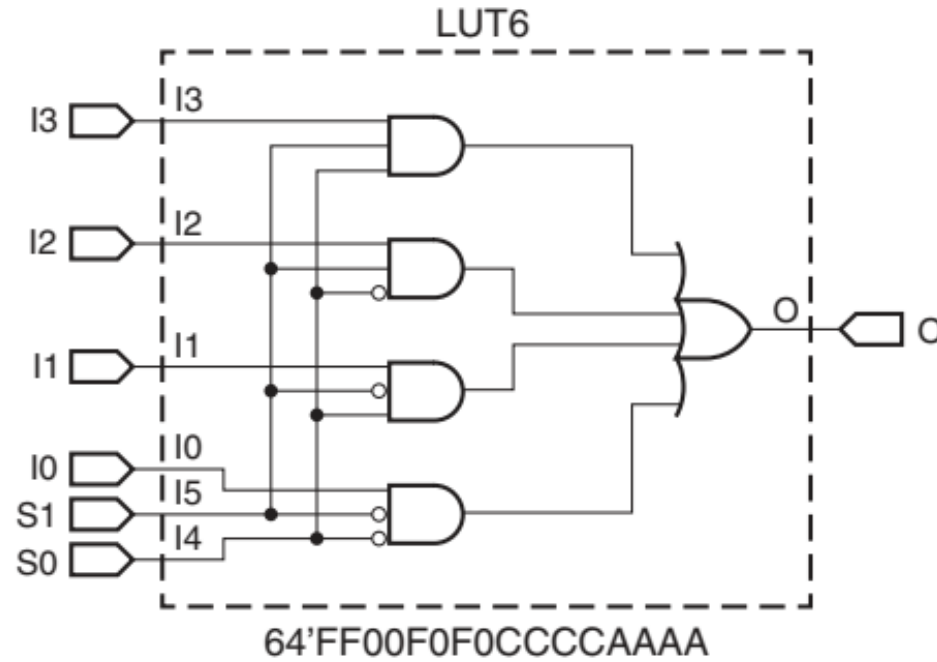
Functions with more than eight inputs can be implemented using multiple slices. There are no direct connections between slices to form function generators greater than eight inputs within a CLB.

Πολυπλέκτες μεγάλου εύρους

- Κάθε F7MUX συνδυάζει τις εξόδους από δύο LUTs
 - Υλοποιεί μια τυχαία συνάρτηση 7-εισόδων
 - Υλοποιεί έναν πολυπλέκτη 8-1
- Ο F8MUX συνδυάζει τις εξόδους των δύο F7MUXes
 - Υλοποιεί μια τυχαία συνάρτηση 8-εισόδων
 - Υλοποιεί έναν πολυπλέκτη 16-1
- Ο MUX ελέγχεται από τις εισόδους BX/CX/DX του slice
- Η έξοδος του MUX μπορεί να οδηγήσει την συνδυαστική έξοδο ή το flip-flop/latch



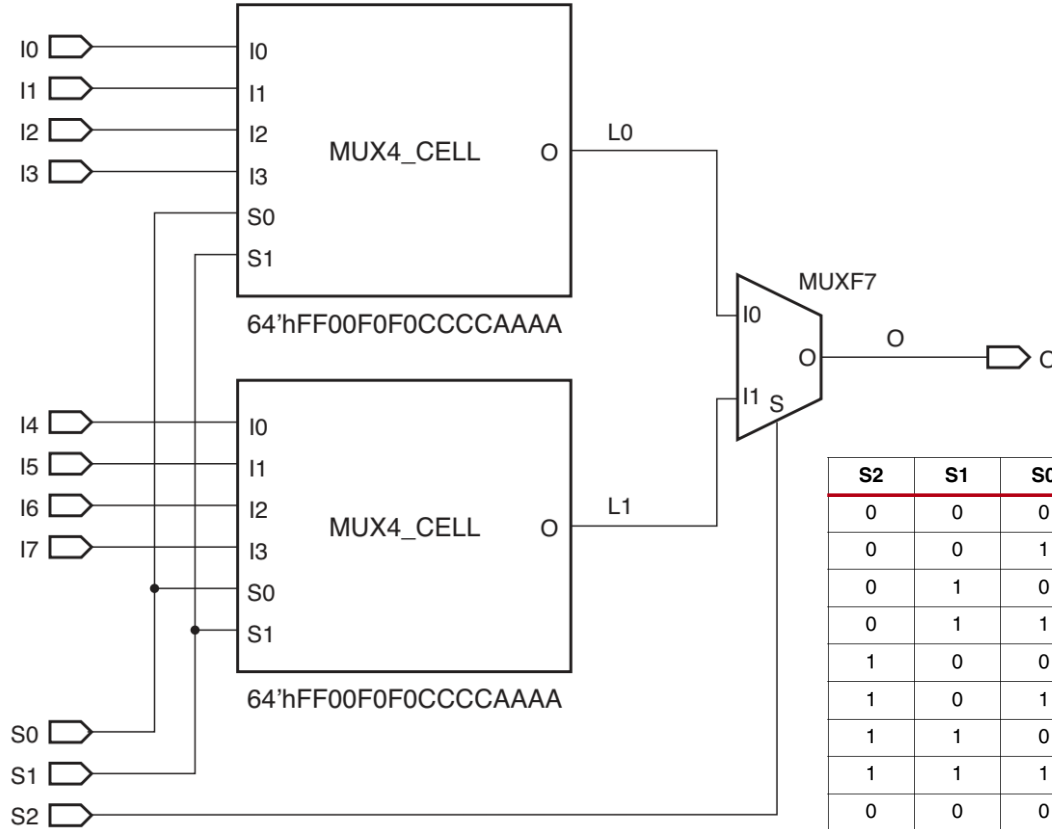
Πολυπλέκτης 4-σε-1



XAPP522_02_101414

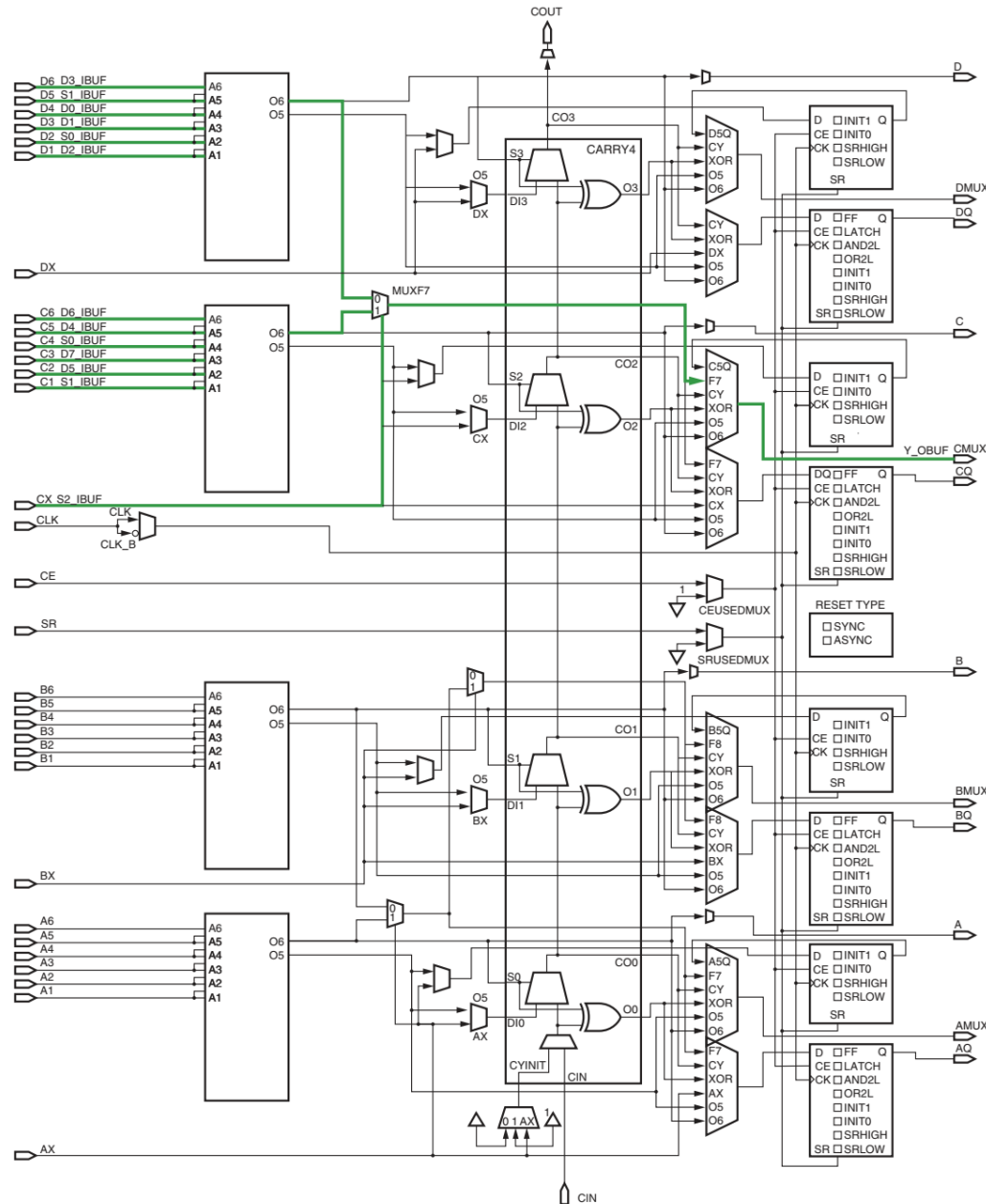
S1	S0	I3	I2	I1	I0	O
0	0	X	X	X	0	0
0	1	X	X	0	X	0
1	0	X	0	X	X	0
1	1	0	X	X	X	0
0	0	X	X	X	1	1
0	1	X	X	1	X	1
1	0	X	1	X	X	1
1	1	1	X	X	X	1

Πολυπλέκτης 8-σε-1

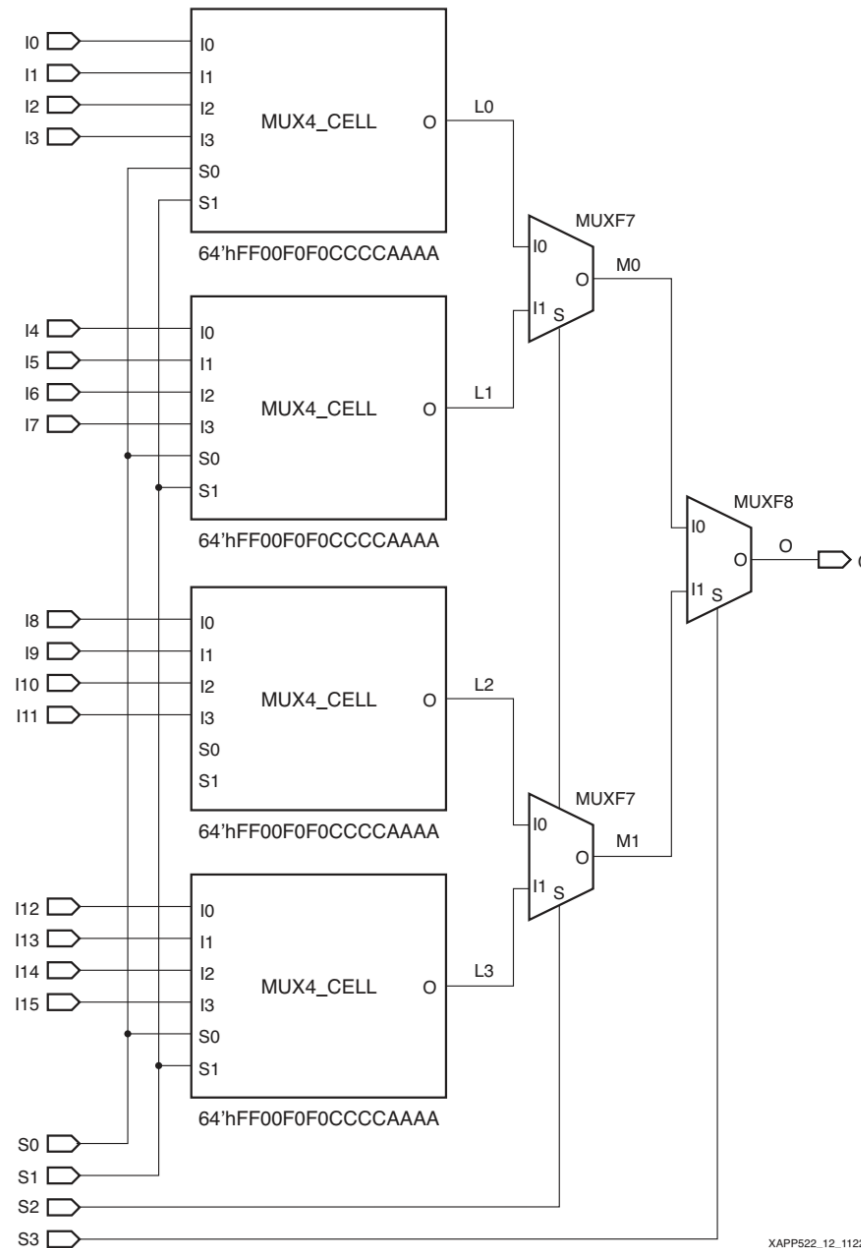


S2	S1	S0	I7	I6	I5	I4	I3	I2	I1	I0	O
0	0	0	X	X	X	X	X	X	X	0	0
0	0	1	X	X	X	X	X	X	0	X	0
0	1	0	X	X	X	X	X	0	X	X	0
0	1	1	X	X	X	X	0	X	X	X	0
1	0	0	X	X	X	0	X	X	X	X	0
1	0	1	X	X	0	X	X	X	X	X	0
1	1	0	X	0	X	X	X	X	X	X	0
1	1	1	0	X	X	X	X	X	X	X	0
0	0	0	X	X	X	X	X	X	X	1	1
0	0	1	X	X	X	X	X	X	1	X	1
0	1	0	X	X	X	X	X	1	X	X	1
0	1	1	X	X	X	X	1	X	X	X	1
1	0	0	X	X	X	1	X	X	X	X	1
1	0	1	X	X	1	X	X	X	X	X	1
1	1	0	X	1	X	X	X	X	X	X	1
1	1	1	1	X	X	X	X	X	X	X	1

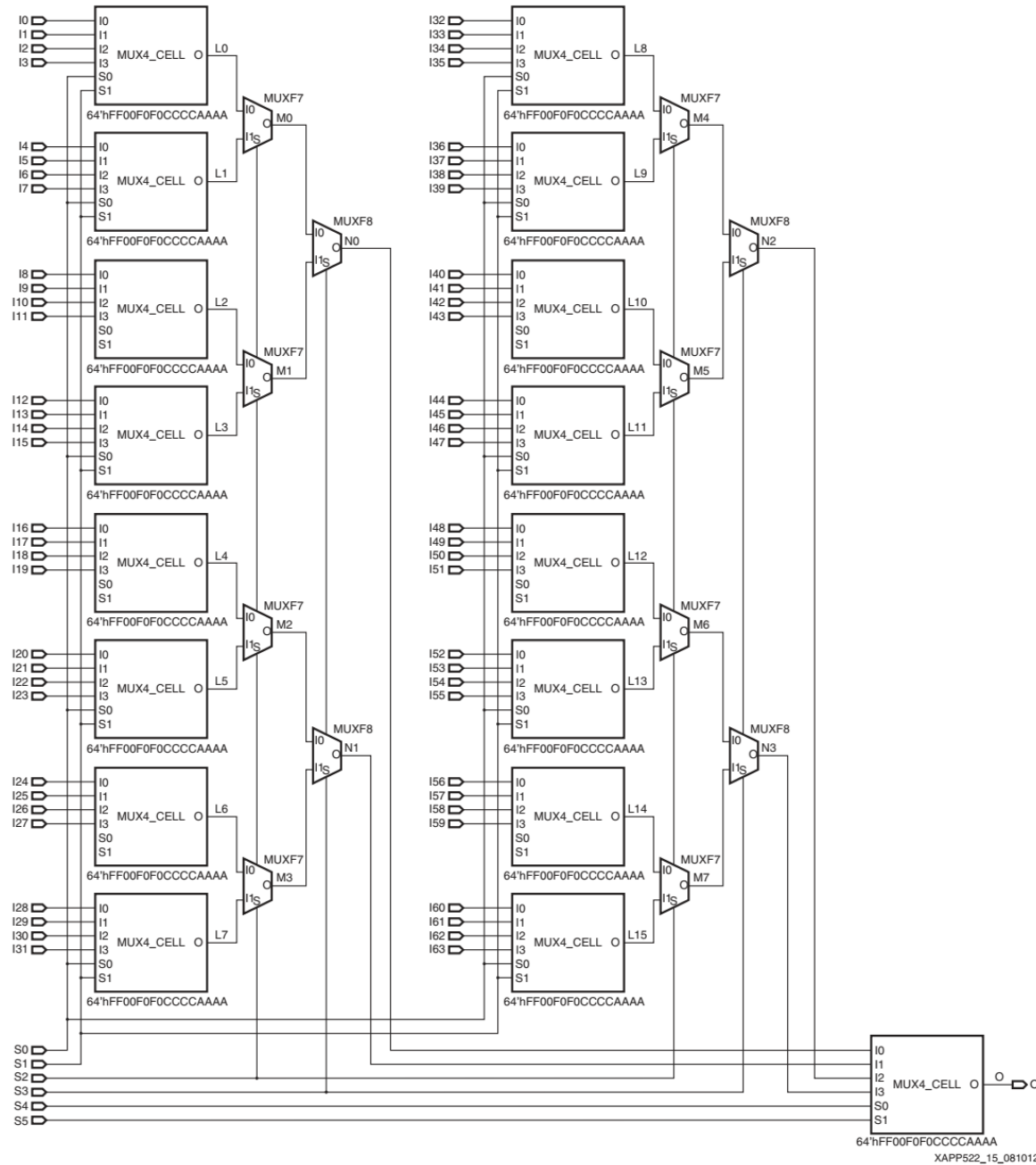
Πολυπλέκτης 8-σε-1



Πολυπλέκτης 16-σε-1

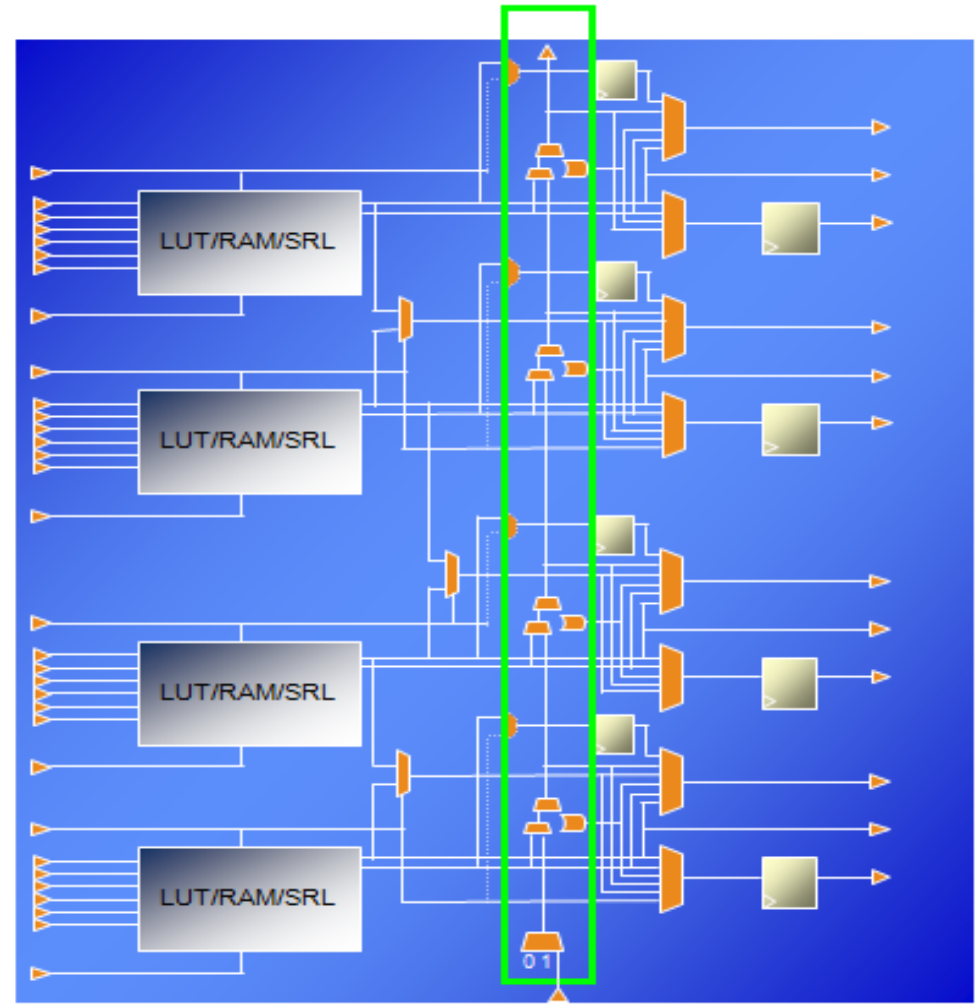


Πολυπλέκτης 64-σε-1



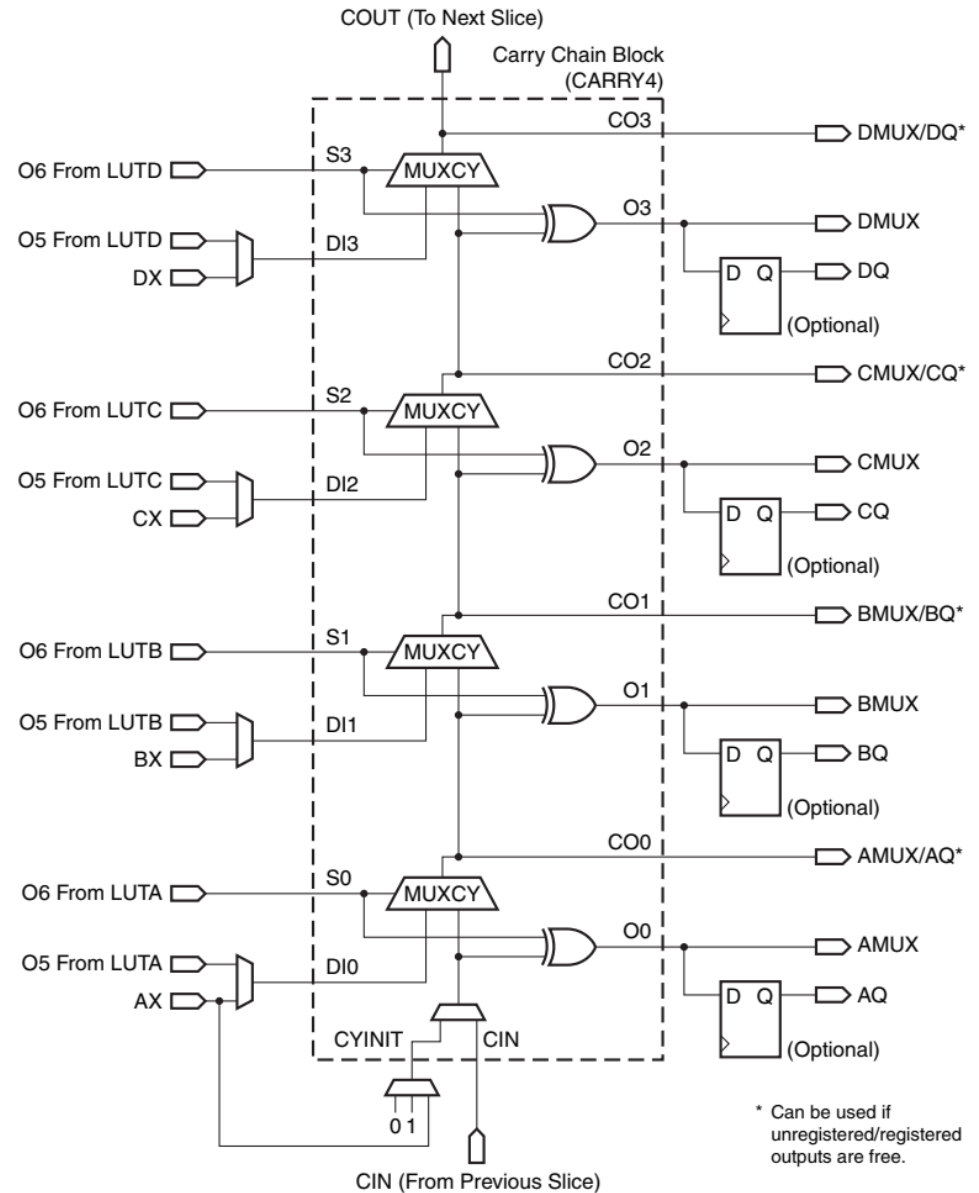
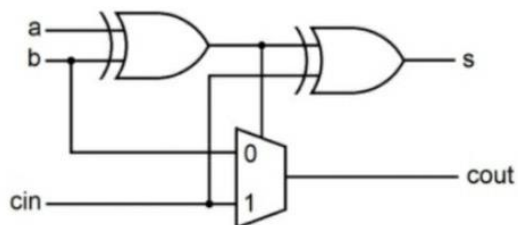
Αλυσίδα Κρατουμένου (Carry Chain)

- Η αλυσίδα κρατουμένου υλοποιεί γρήγορη αριθμητική πρόσθεση και αφαίρεση
 - Το κρατούμενο εξόδου διαδίδεται κάθετα μέσω των 4 LUTs στο slice
 - Η αλυσίδα κρατουμένου διαδίδεται από το ένα slice, στο slice της ίδιας στήλης στο επάνω CLB
- Πρόβλεψη κρατουμένου (Carry look-ahead)
 - Συνδυαστική λογική πρόβλεψης κρατουμένου στα 4 LUTs στο slice
 - Υλοποιεί ταχύτερη διάδοση του κρατουμένου από slice σε slice



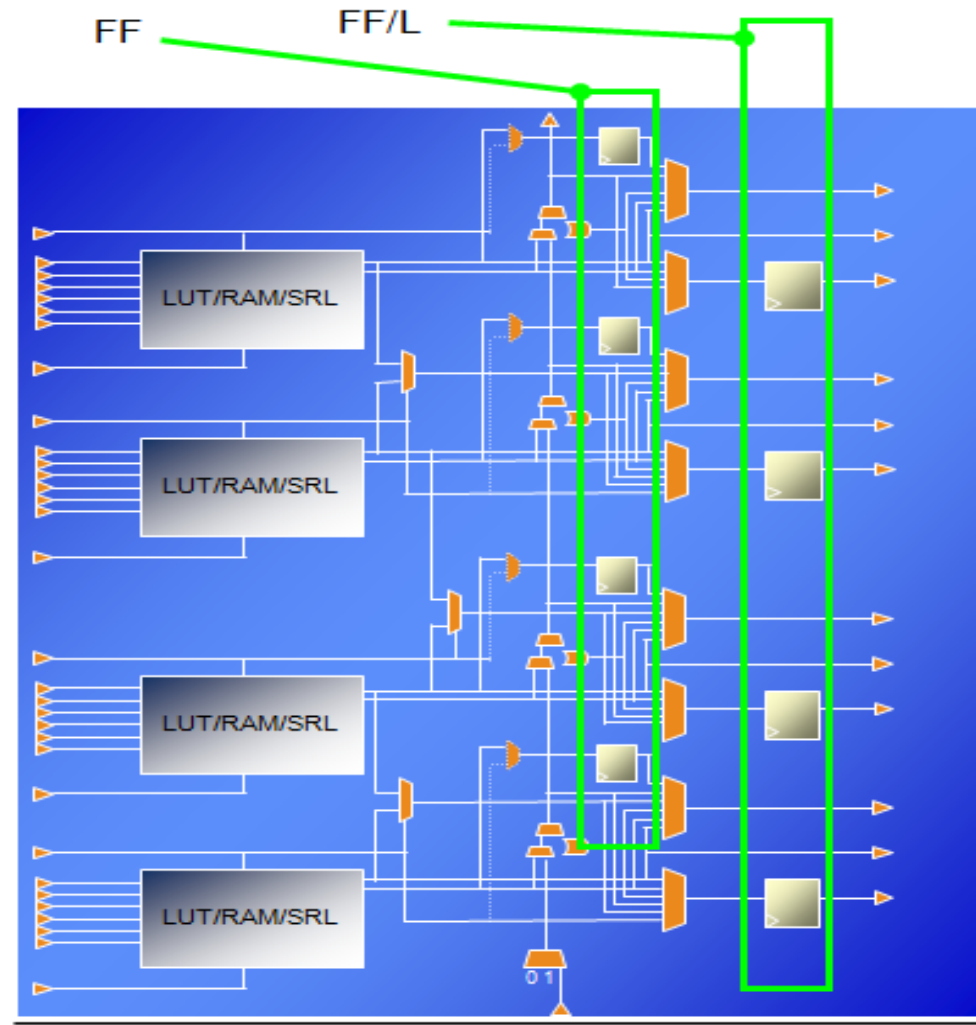
Αλυσίδα Κρατουμένου (Carry Chain)

- Inputs
 - S inputs - S0 to S3
 - The “propagate” signals of the carry lookahead logic
 - Sourced from the O6 output of a function generator
 - DI inputs - DI1 to DI4
 - The “generate” signals of the carry lookahead logic
 - Sourced from either the O5 output of a function generator
 - To create a multiplier
 - Or the BYPASS input (AX, BX, CX, or DX) of a slice
 - To create an adder/accumulator
 - CYINIT
 - CIN of the first bit in a carry chain
 - 0 for add
 - 1 for subtract
 - AX input for the dynamic first carry bit
 - CIN
 - Cascade slices to form a longer carry chain
- Outputs
 - O outputs - O0 to O3
 - Contain the sum of the addition/subtraction
 - CO outputs - CO0 to CO3
 - Compute the carry out for each bit
 - CO3 is connected to COUT output of a slice to form a longer carry chain by cascading multiple slices

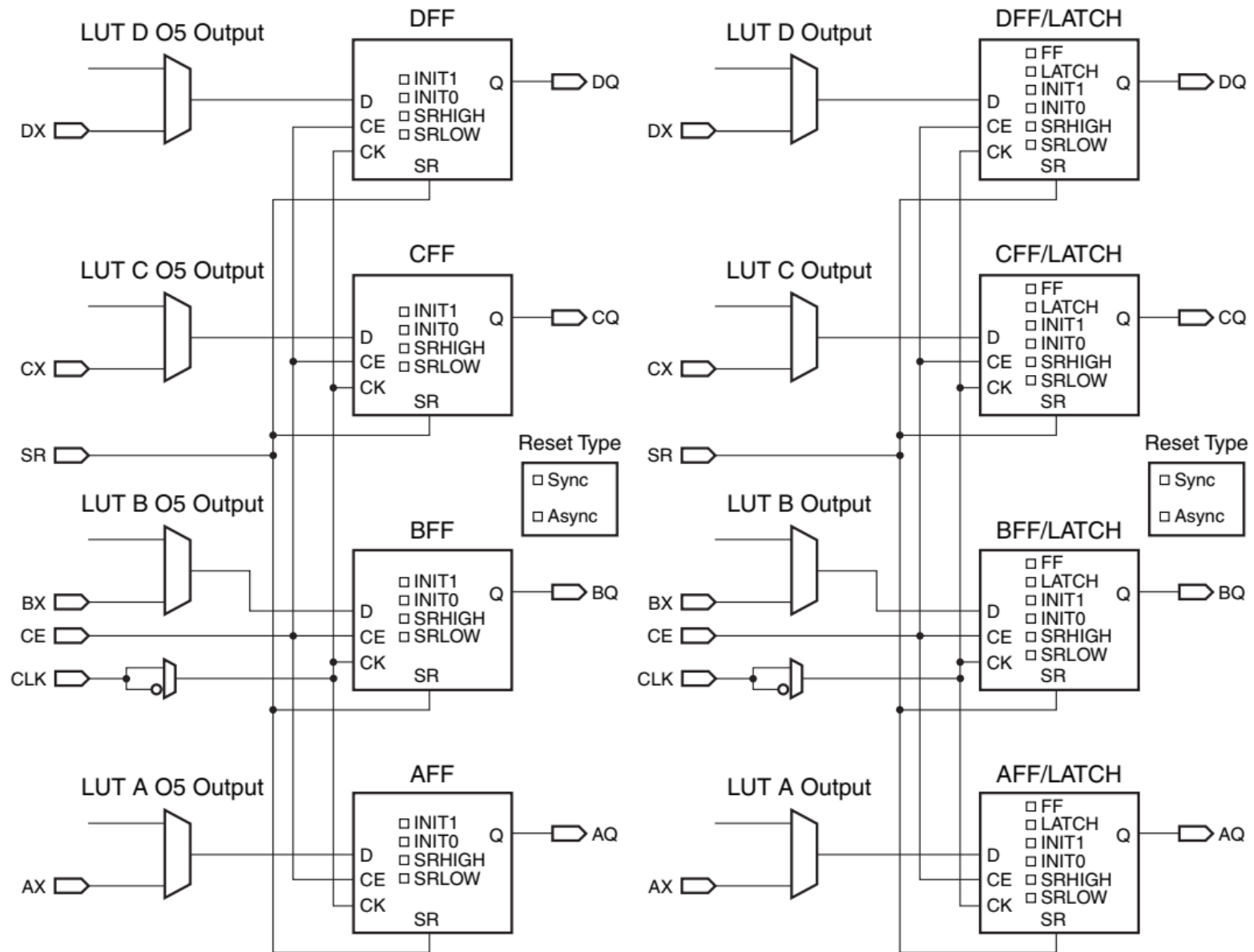


Flip-flops και Flip-flop/Latches

- Κάθε slice διαθέτει τέσσερα flip-flop/latches (FF/L)
 - Χρήση είτε ως flip-flop ή ως latch
 - Η είσοδος D οδηγείται από την έξοδο του O6 LUT, το carry chain, τον πολυπλέκτη μεγάλου εύρους ή τις εισόδους AX/BX/CX/DX του slice
- Κάθε slice διαθέτει επίσης τέσσερα flip-flops (FF)
 - Η είσοδος D οδηγείται από την έξοδο O5 ή από τις εισόδους AX/BX/CX/DX
 - Χωρίς πρόσβαση στο carry chain, τον πολυπλέκτη ή τους εισόδους των slice
- Εάν οποιοδήποτε από τα FF/L είναι διαμορφωμένα ως latches, τα τέσσερα FFs δεν είναι διαθέσιμα

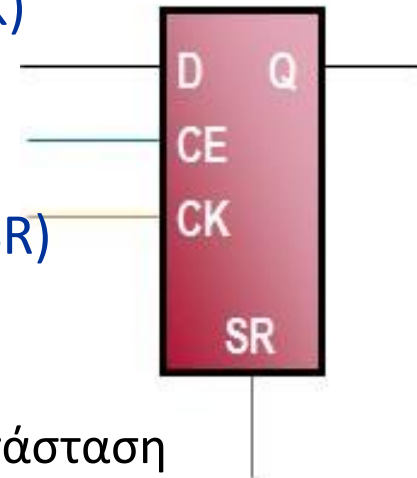


Flip-flops και Flip-flop/Latches



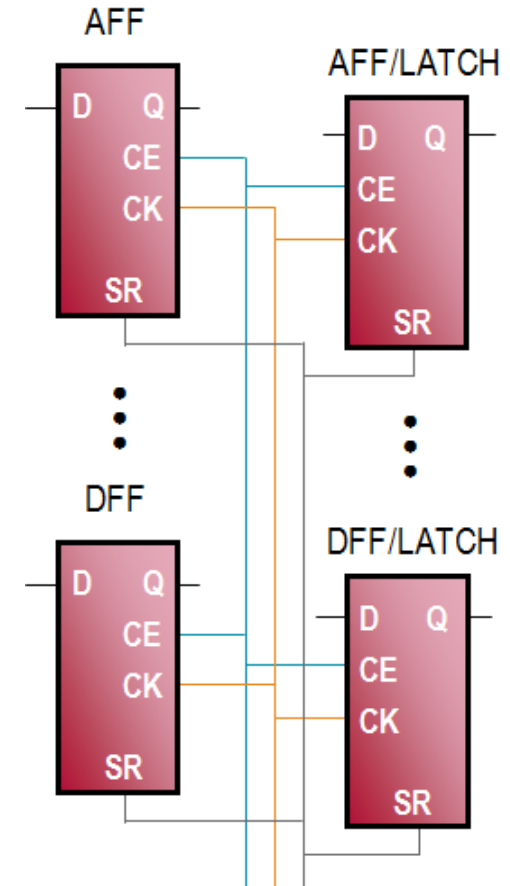
Δυνατότητες των Slice Flip-flops

- Όλα τα flip-flops είναι τύπου D
 - Με έξοδο Q
- Όλα τα flip-flops έχουν μια κοινή **είσοδο ρολογιού (CK)**
 - Το ρολόι μπορεί να αντιστραφεί στα όρια του slice
- Όλα τα flip-flops έχουν active-high **clock enable (CE)**
- Όλα τα flip-flops έχουν active-high είσοδο **set/reset (SR)**
 - Η είσοδος μπορεί να είναι σύγχρονη ή ασύγχρονη που καθορίζεται από το αντίστοιχο configuration bit
 - Θέτει την τιμή του flip-flop σε μια προκαθορισμένη κατάσταση που καθορίζεται από το αντίστοιχο configuration bit



Control Sets

- Όλα τα flip-flops και τα flip-flop/latches μοιράζονται τα ίδια σήματα CK, SR και CE
 - Αυτό καλείται “**control set**” των flip-flops
 - Τα CE και SR είναι active high
 - Το CK μπορεί να αντιστραφεί στα όρια του slice
- Εάν οποιοδήποτε flip-flop χρησιμοποιεί ένα CE, όλα τα άλλα πρέπει να χρησιμοποιήσουν το ίδιο CE
 - Το CE κάνει “gate” στο ρολόι στα όρια του slice
 - Μειώνει την κατανάλωση ισχύος
- Εάν οποιοδήποτε flip-flop χρησιμοποιεί το SR, όλα τα άλλα πρέπει να χρησιμοποιήσουν το ίδιο SR
 - Η τιμή του reset που θα χρησιμοποιηθεί από κάθε flip-flop τίθεται ξεχωριστά από το attribute SRVAL



Χρήση του SLICEM ως Distributed SelectRAM Memory

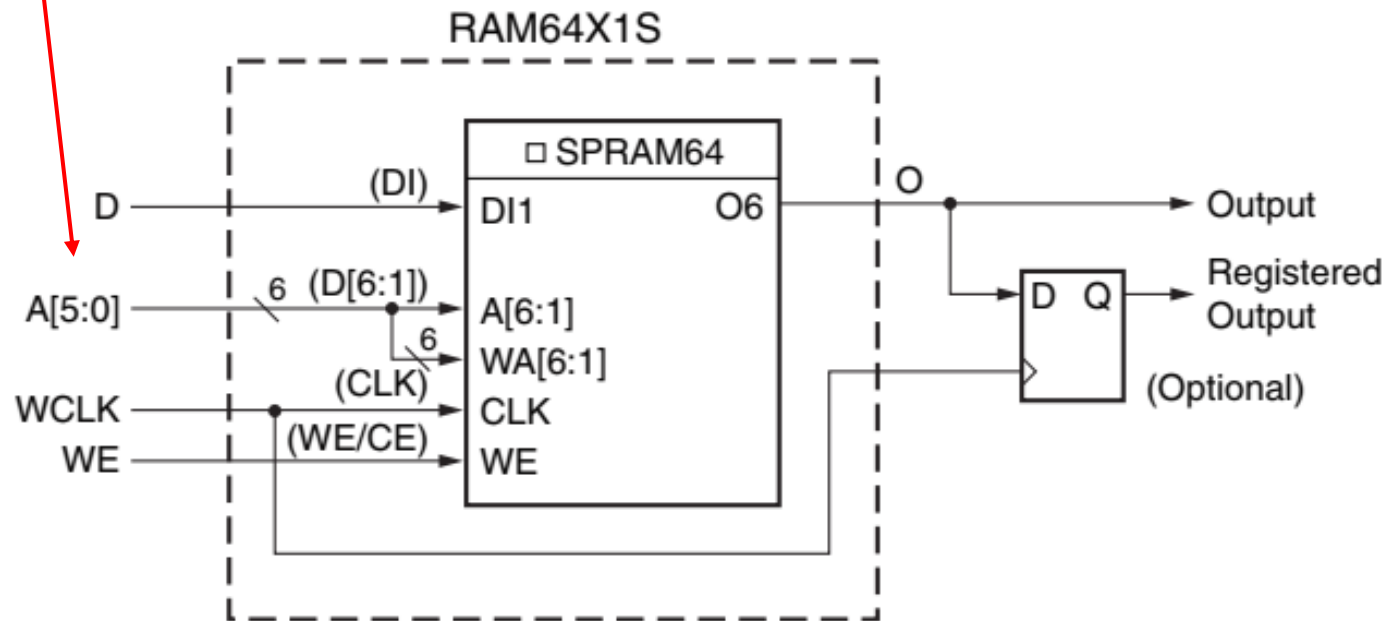
- Το SLICEM μπορεί να χρησιμοποιηθεί ως μνήμη
- Σύγχρονη εγγραφή, ασύγχρονη ανάγνωση
 - Μπορεί να μετατραπεί σε σύγχρονη ανάγνωση χρησιμοποιώντας τα flip-flops που είναι διαθέσιμα στο slice
- Διάφορα configurations
 - Single port
 - Ένα LUT6 = 64x1 ή 32x2 RAM
 - Cascadable ως 256x1 RAM
 - Dual port (D)
 - 1 read / write port + 1 read-only port
 - Simple dual port (SDP)
 - 1 write-only port + 1 read-only port
 - Quad-port (Q)
 - 1 read / write port + 3 read-only ports

Single Port	Dual Port	Simple Dual Port	Quad Port
32x2	32x2D	32x6SDP	32x2Q
32x4	32x4D	64x3SDP	64x1Q
32x6	64x1D		
32x8	64x2D		
64x1	128x1D		
64x2			
64x3			
64x4			
128x1			
128x2			
256x1			

Each Port Has Independent Address Inputs

Χρήση του SLICEM ως Distributed SelectRAM Memory

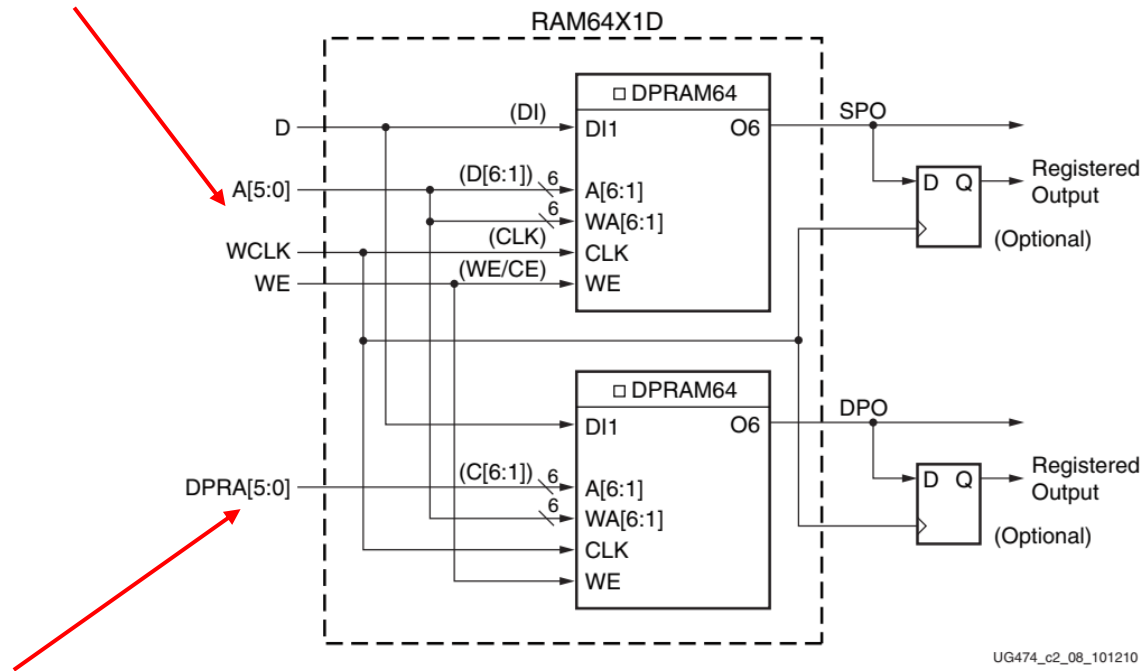
- Παράδειγμα: 64x1 Single Port Distributed RAM (RAM63X1S)
 - Common address port for synchronous writes and asynchronous reads
 - Read and write addresses share the same address bus



UG474_c2_07_101210

Χρήση του SLICEM ως

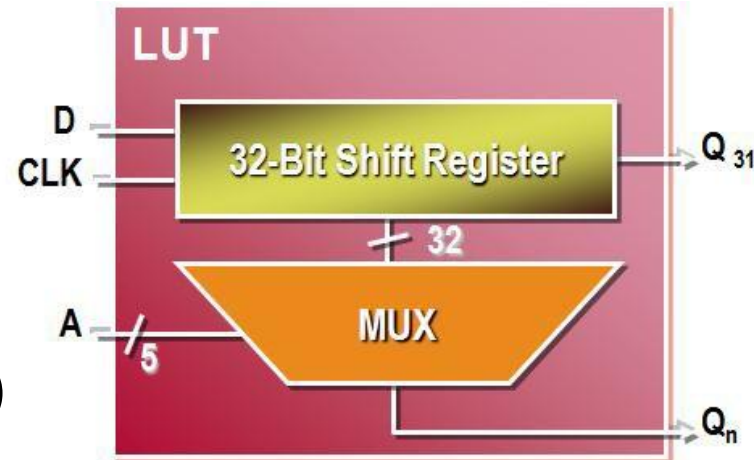
- Παράδειγμα: 64 x 1 Dual Port Distributed RAM (RAM64X1D)



- One port for asynchronous reads
 - Second LUT has the A inputs connected to a second read-only port address and the WA inputs are shared with the first read/write port address

Χρήση του SLICEM ως Καταχωρητές Ολίσθησης των 32bit

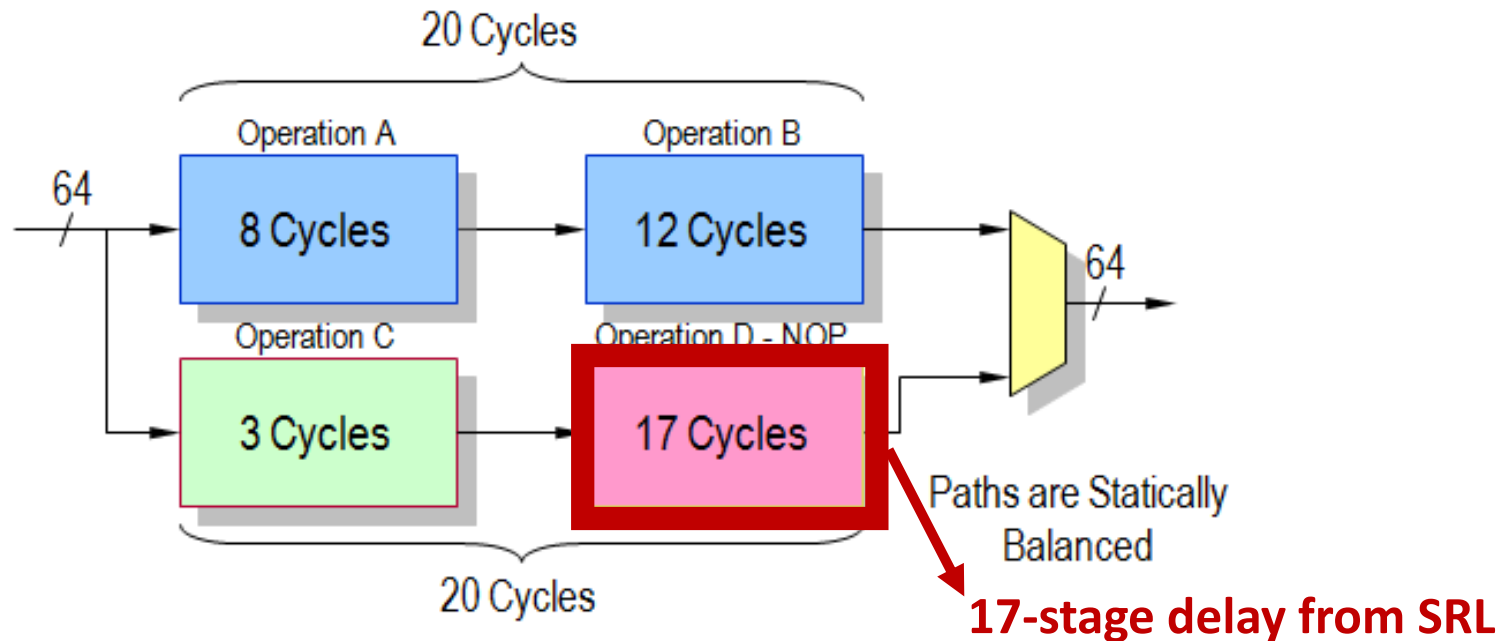
- SRL = Shift Register Lut
- Ευέλικτοι shift registers τύπου SRL
 - Shift registers μεταβλητού μήκους
 - Σύγχρονες FIFOs
 - Content-Addressable Memory (CAM)
 - Γεννήτρια προτύπων (Pattern generator)
 - Αντιστάθμιση μεταξύ delay / latency
- Το μήκος του Shift register καθορίζεται από την διεύθυνση (Address A)
 - Σταθερή τιμή που δίνει fixed delay line
 - Δυναμική διευθυνσιοδότηση για elastic buffer
- Σε cascade έως 128x1 shift register σε ένα slice



SRL Configurations in One Slice (4 LUTs)
16x1, 16x2, 16x4, 16x6, 16x8
32x1, 32x2, 32x3, 32x4
64x1, 64x2
96x1
128x1

Παράδειγμα SRL

- Η λειτουργία D-NOP πρέπει να προσθέσει 17 στάδια pipeline των 64-bit το καθένα
 - 1088 flip-flops (δηλαδή 136 slices) ή
 - 64 SRLs (δηλαδή 16 slices)

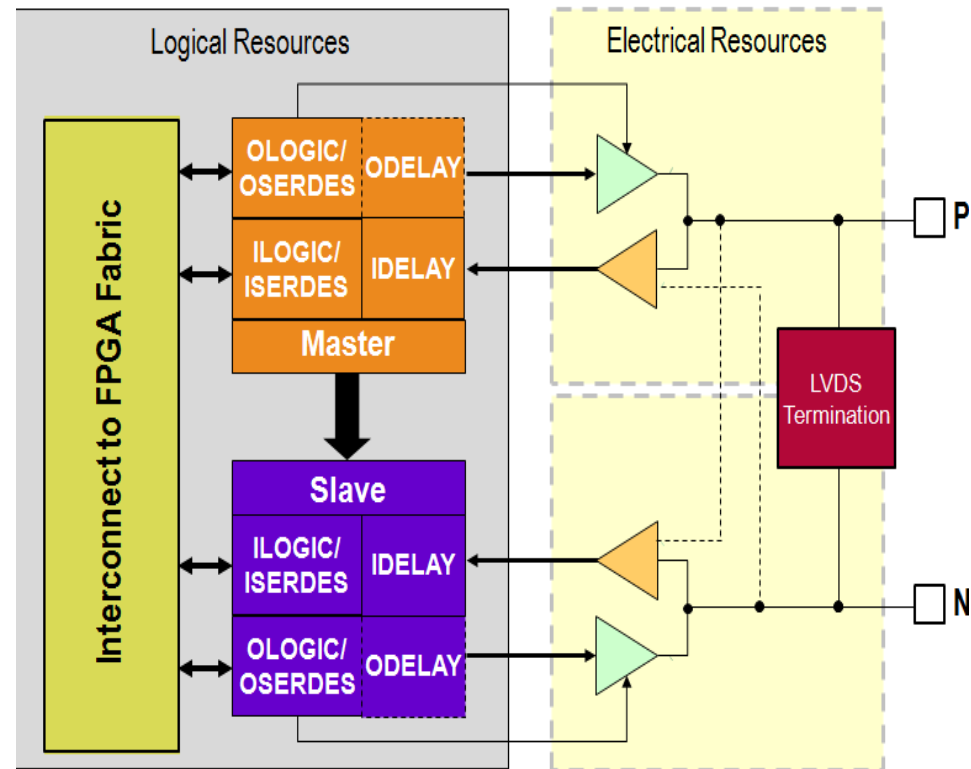


Προκλήσεις της Διασύνδεσης I/O

- Λειτουργία υψηλής ταχύτητας με διατήρηση της ακεραιότητας σήματος (signal integrity)
 - Source-synchronous operation (clock forwarding)
 - System-synchronous operation (κοινό ρολόι συστήματος)
 - Τερματισμός γραμμών μετάδοσης για την αποφυγή ανάκλασης σήματος
- Οδήγηση και λήψη δεδομένων σε παράλληλους διαύλους μεγάλου εύρους
 - Αντιστάθμιση για bus skew και σφάλματα χρονισμού του ρολογιού
 - Μετατροπή μεταξύ σειριακών και παράλληλων δεδομένων
 - Επίτευξη πολύ υψηλού bit rate (> 1 Gbps)
- Διασυνδέσεις Single Data Rate (SDR) ή Double Data Rate (DDR)
- Διασύνδεση σε πολλά διαφορετικά πρότυπα
 - Διαφορετικές τάσεις, διαφορετική οδηγητική ικανότητα (drive strength) και διαφορετικά πρωτόκολλα

7-Series FPGA I/O

- Μεγάλο εύρος τάσεων
 - 1.2V έως 3.3V
- Ευρεία υποστήριξη προτύπων I/O
 - Single-ended και differential
 - Referenced voltage inputs
 - Δυνατότητα 4-state
- Πολύ υψηλή απόδοση
 - Έως 1600 Mbps LVDS
 - Έως 1866 Mbps single-ended για DDR3
- Εύκολη διασύνδεση με μνήμη
 - Υποστήριξη στο υλικό για QDRII+ και DDR3
- Ψηφιακά ελεγχόμενη εμπέδηση (Digitally controlled impedance - DCI)
- Χαρακτηριστικά μείωσης κατανάλωσης ισχύος



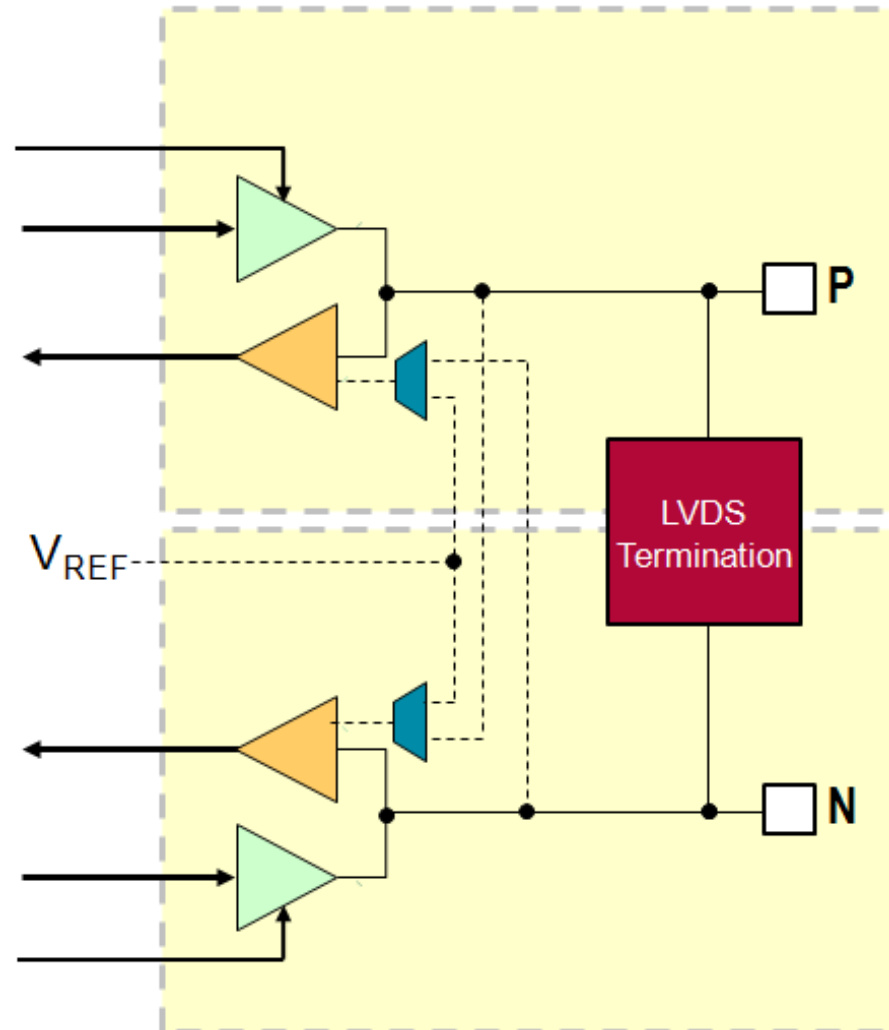
Τύποι I/O

- Τα 7-series FPGAs έχουν δύο διαφορετικούς τύπους I/O
 - High Range (HR)
 - Υποστηρίζει πρότυπα I/O με τάσεις Vcco voltages έως 3.3V
 - High Performance (HP)
 - Στοχεύει σε κορυφαία απόδοση
 - Υποστηρίζει πρότυπα I/O με τάσεις Vcco voltages έως 1.8V
 - Παρέχει δυνατότητα για Output logic delay (ODELAY) και DCI

I/O Types	Artix-7 Family	Kintex-7 Family	Virtex-7 Family	Virtex-7 XT/HT Family
High Range	All	Most	Some	
High Performance		Some	Most	All

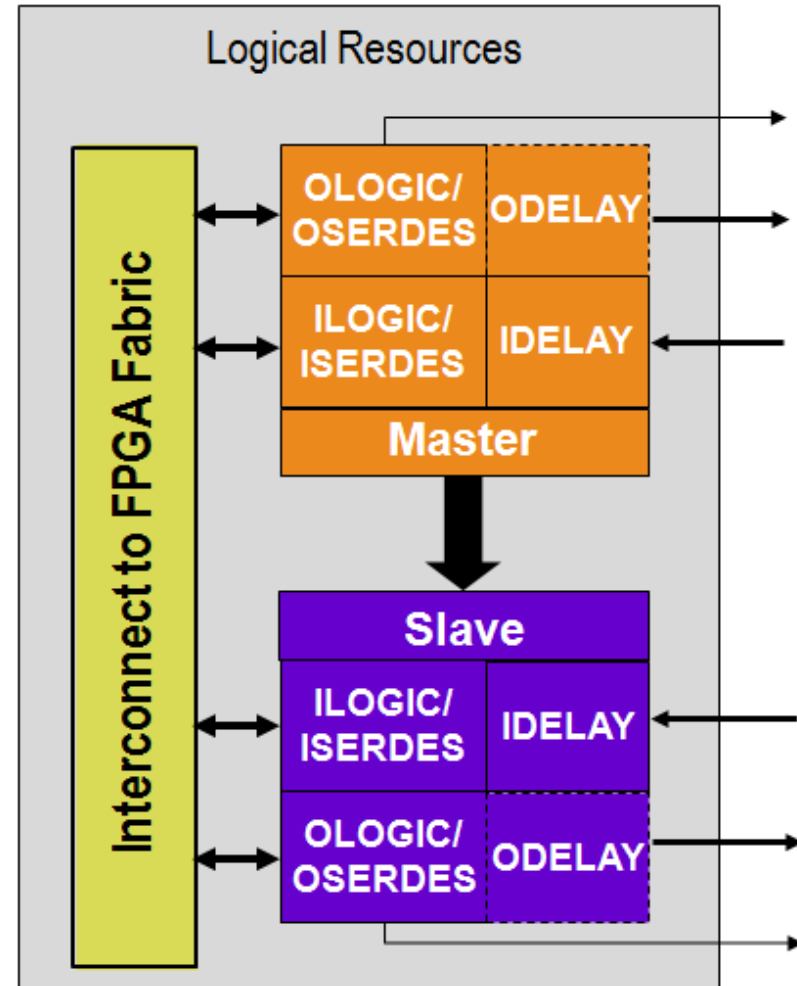
I/O Electrical Resources

- Οι ακροδέκτες P και N μπορούν να διαμορφωθούν ως:
 - Ξεχωριστά σήματα single-ended
 - Differential pair (διαφορική σηματοδότηση)
- Δέκτης: standard CMOS ή συγκριτής τάσης
 - Για standard CMOS
 - Λογικό 0 για "near" ground
 - Λογικό 1 για "near" VCCO
 - Με τάση αναφοράς V_{REF}
 - Λογικό 0 για κάτω από V_{REF}
 - Λογικό 1 για επάνω από V_{REF}
 - Differential
 - Λογικό 0 για $V_P < V_N$
 - Λογικό 1 when $V_P > V_N$



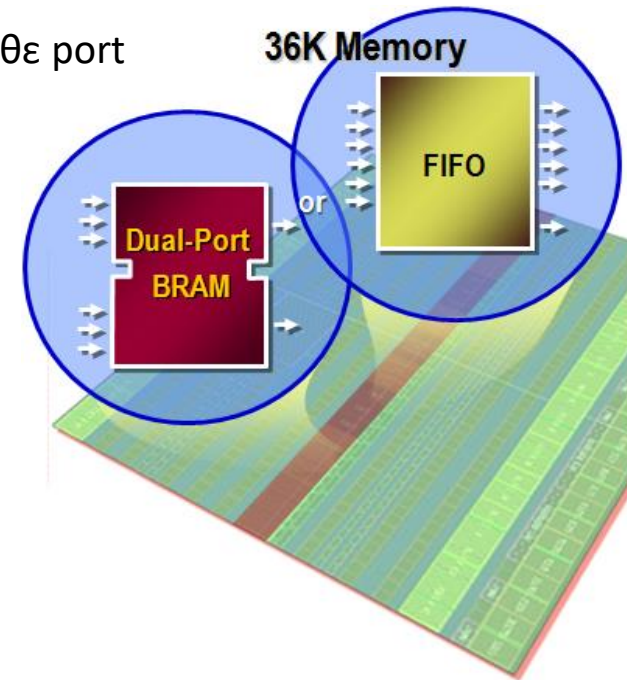
I/O Logical Resources

- Δύο block λογικής σε κάθε ζεύγος I/O
 - Master και slave
 - Ανεξάρτητη λειτουργία ή concatenated
- Κάθε block περιέχει
 - ILOGIC/ISERDES
 - SDR, DDR, ή high-speed serial input logic
 - OLOGIC/OSERDES
 - SDR, DDR, ή high-speed serial output logic
 - IDELAY
 - ODELAY
 - Επιλογή καθυστέρησης εισόδου
 - Επιλογή καθυστέρησης εξόδου
 - Διαθέσιμο μόνο σε I/O υψηλής απόδοσης

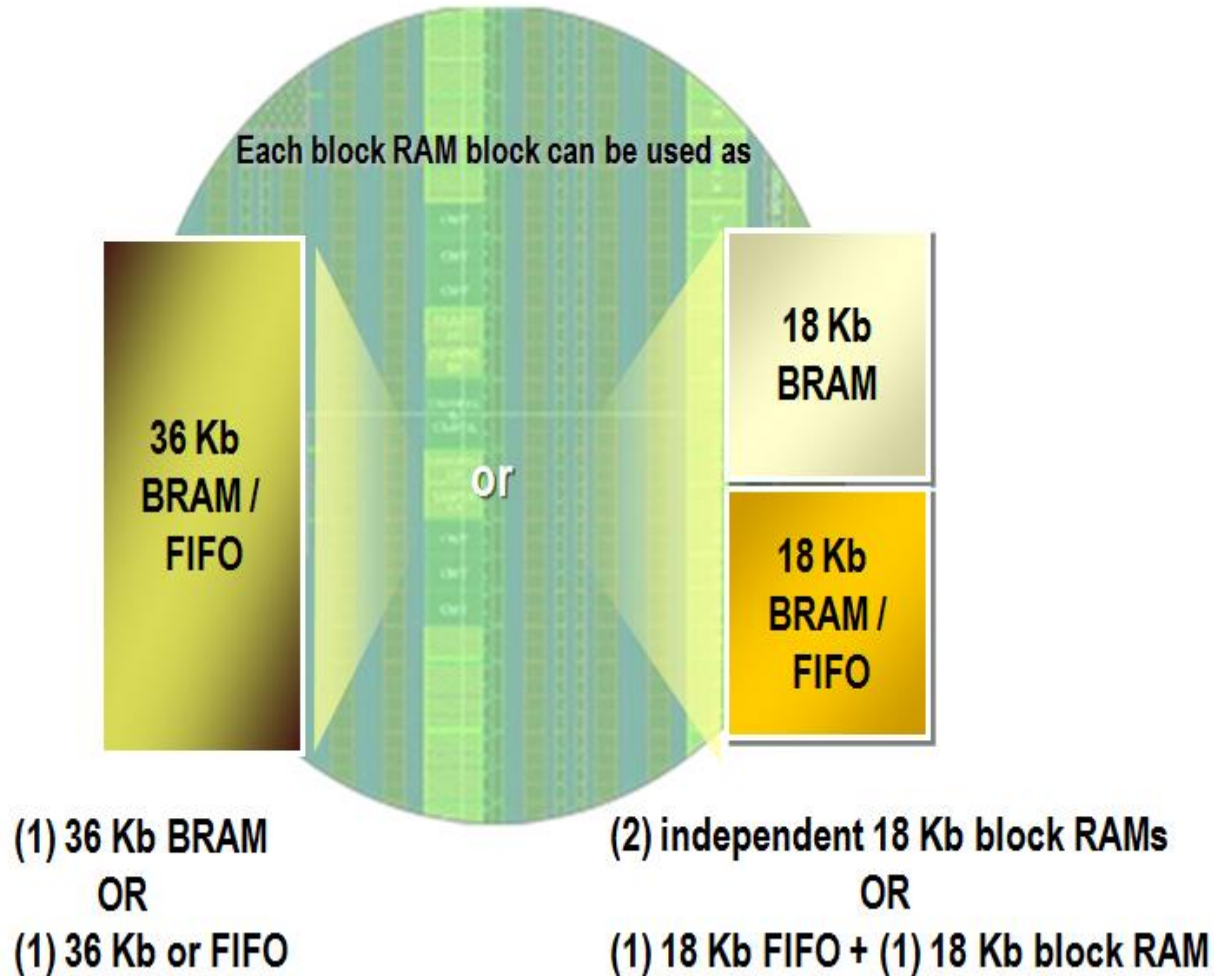


7-Series Block RAM and FIFO

- Όλα τα μέλη της οικογένειας 7-series διαθέτουν την ίδια Block RAM/FIFO
- Πλήρως σύγχρονη λειτουργία
 - Όλες οι λειτουργίες είναι σύγχρονες, όλες οι έξοδοι είναι latched
- Προαιρετικός pipeline register για υψηλότερη συχνότητα λειτουργίας
- Δύο ξεχωριστά ports προσπελαίνουν κοινά δεδομένα
 - Ξεχωριστά address, clock, write enable, clock enable για κάθε port
 - Ξεχωριστά data widths για κάθε port
- Πολλαπλές δυνατότητες configuration
 - True dual-port, simple dual-port, single-port
- Ολοκληρωμένη λογική cascade
- Byte-write enable για μεγαλύτερο εύρος
- Ενσωματωμένος έλεγχος για γρήγορες και αποτελεσματικές FIFOs
- 64 / 7bit Hamming error correction

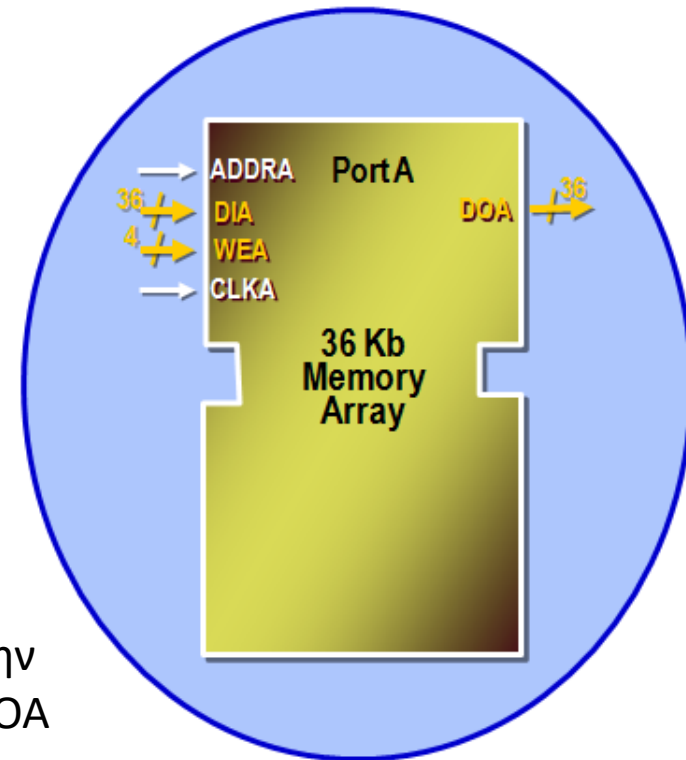


7-Series Block RAM and FIFO



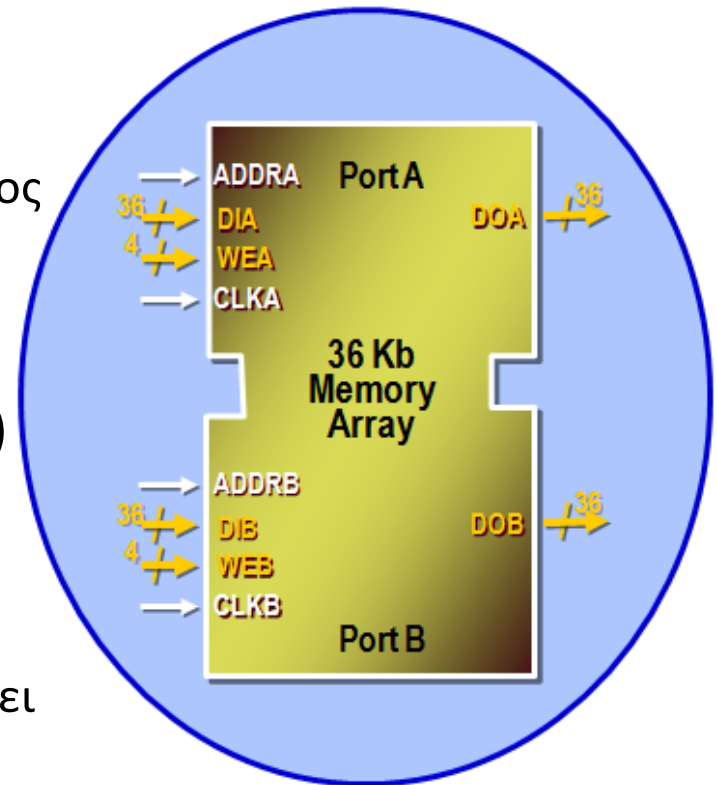
Single-Port Block RAM

- Single read/write port
 - Clock: CLKA, Address: ADDRA, Write enable: WEA
 - Write data: DIA, Read data: DOA
- 36-kbit configurations
 - 32k x 1, 16k x 2, 8k x 4, 4k x 9, 2k x 18, 1k x 36
- 18-kbit configurations
 - 16k x 1, 8k x 2, 4k x 4, 2k x 9, 1k x 18, 512 x 36
- Configurable write mode
 - WRITE_FIRST: Τα δεδομένα που γράφτηκαν στην είσοδο DIA είναι διαθέσιμα στην έξοδο DOA
 - READ_FIRST: Τα παλαιά περιεχόμενα της RAM στην διεύθυνση ADDRA παρουσιάζονται στην έξοδο DOA
 - NO_CHANGE: Η έξοδος DOA κρατά την προηγούμενη τιμή (μειώνει την κατανάλωση ισχύος)
- Προαιρετικός καταχωρητής εξόδου για μέγιστη απόδοση (DOA_REG=1)



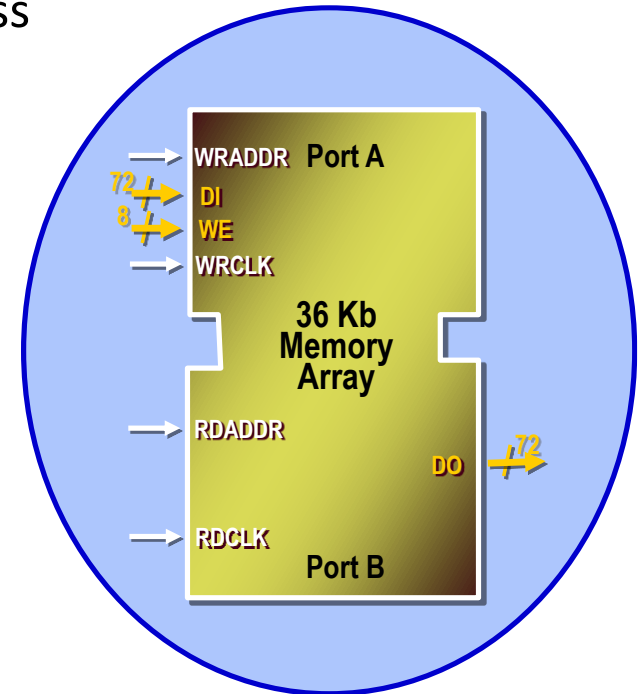
Dual-Port Block RAM

- Δύο ξεχωριστά read/write ports
 - Κάθε port διαθέτει ξεχωριστό clock, address, data in, data out, write enable ...
 - Clocks: μπορεί να είναι ασύγχρονα μεταξύ τους
 - Τα δύο ports μπορεί να έχουν διαφορετικό εύρος
 - Ίδια configurations με single port
 - Τα δύο ports μπορούν να έχουν διαφορετικά write modes
- Δεν αποφεύγεται η συμφόρηση (contention) όταν και τα δύο ports προσπελαίνουν την ίδια διεύθυνση
 - Εκτός εάν χρονίζονται με το ίδιο ρολόι και το write port είναι READ_FIRST, το read port παίρνει τα παλαιά δεδομένα



Simple Dual-Port Block RAM

- Ένα read port και ένα write port
 - Κάθε port διαθέτει ξεχωριστό clock και address
- Σε 36-kbit configuration, ένα από τα δύο ports πρέπει να έχει εύρος 72 bits
 - Το άλλο port μπορεί να είναι:
x1, x2, x4, x9, x18, x36 ή x72
- Σε 18-kbit configuration, ένα από τα δύο ports πρέπει να έχει εύρος 36 bits
 - Το άλλο port μπορεί να είναι:
x1, x2, x4, x9, x18 ή x36

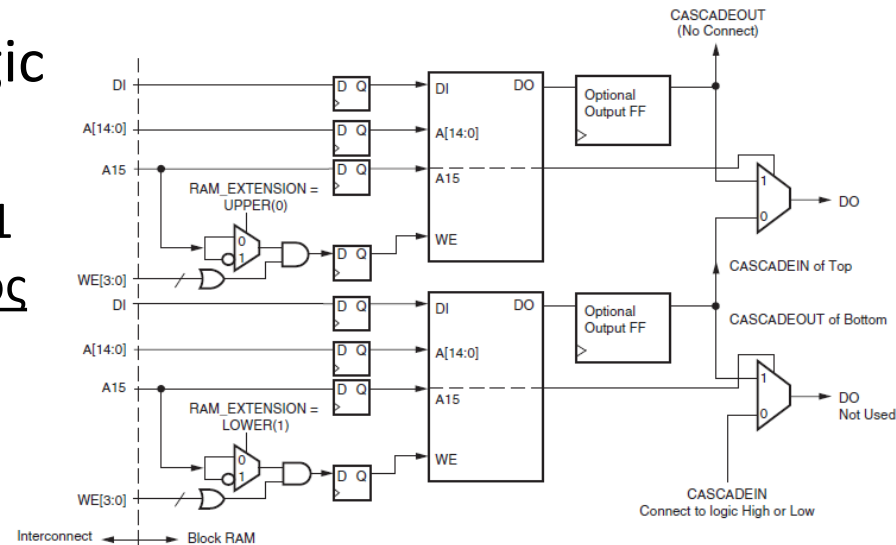


Σύνοψη των Block RAM Configurations

	18kbit	36kbit	
Single Port	16Kx1, 8Kx2, 4Kx4, 2Kx9, 1Kx18	32k x 1, 16Kx2, 8Kx4, 4Kx9, 2Kx18, 1Kx36	▪ 1 read/write port ▪ Read OR write in 1 cycle
True Dual Port	16Kx1, 8Kx2, 4Kx4, 2Kx9, 1Kx18	32Kx1, 16Kx2, 8Kx4, 4Kx9, 2Kx18, 1Kx36	▪ Two fully independent read/write ports ▪ Any two operations in 1 cycle
Simple Dual Port	16Kx1, 8Kx2, 4Kx4, 2Kx9, 1Kx18, 512x36	32K x 1, 16Kx2, 8Kx4, 4Kx9, 2Kx18, 1Kx36, 512x72	▪ 1 read port and 1 write port ▪ Read AND write in 1 cycle

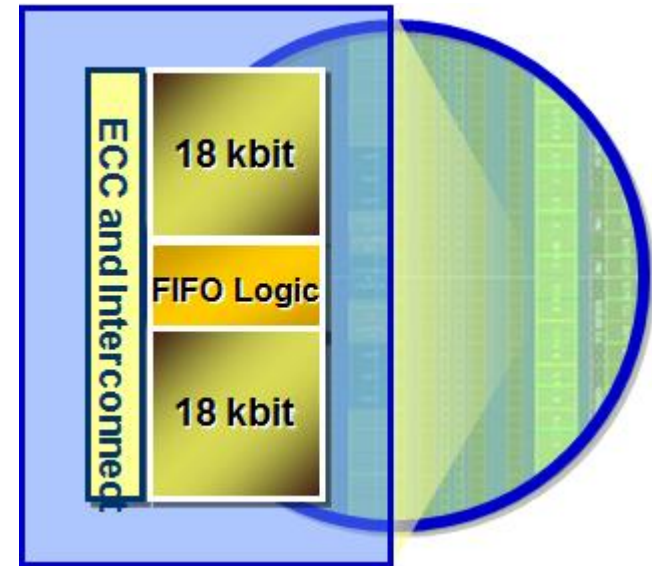
Block RAM Cascading

- Ενσωματωμένη λογική cascade logic για 64Kx1
 - Cascade δύο κάθετα γειτονικών 32Kx1 block RAMs χωρίς χρήση λογικής εκτός του CLB ή επιβάρυνση της απόδοσης
 - Μείωση πόρων και βελτίωση της ταχύτητας σε μεγάλες μνήμες
- Επιλογές cascade για μεγάλες μνήμες
 - 128Kb, 256Kb, 512Kb, 1 Mb, ...
 - Χρήση λογικής εκτός του CLB για επέκταση του εύρους
 - Όχι τόσο γρήγορη όσο οι cascaded block RAMs
 - Η επέκταση εύρους χρησιμοποιεί παράλληλες block RAMs



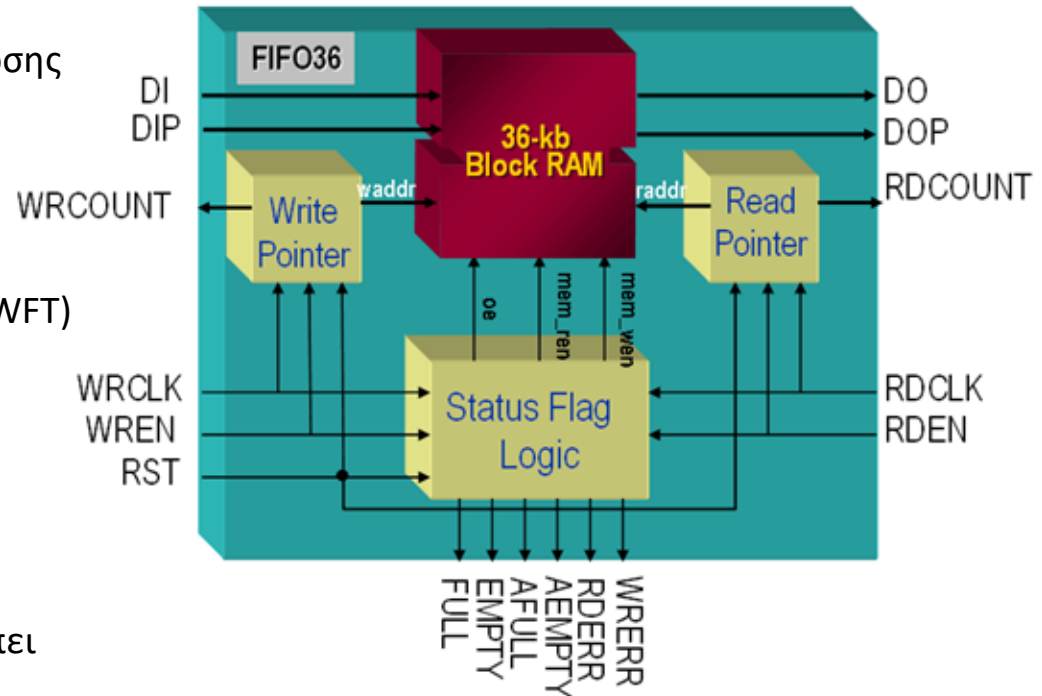
Ενσωματωμένο Error Correction

- Ενσωματωμένο προαιρετικό error correction/detection
 - 64-bit ECC (κώδικας Hamming , χρήση όλων των 72 bits)
 - Διορθώνει όλα τα σφάλματα μονού bit
 - Στις εξόδους αλλά όχι στο memory array
 - Ανιχνεύει, αλλά δεν διορθώνει, όλα τα σφάλματα διπλού-bit
 - Προσδιορίζει τη διεύθυνση του σφάλματος
 - Εισαγωγή σφάλματος για λόγους δοκιμής
- Μπορεί να χρησιμοποιηθεί με διασύνδεση με εξωτερικές μνήμες



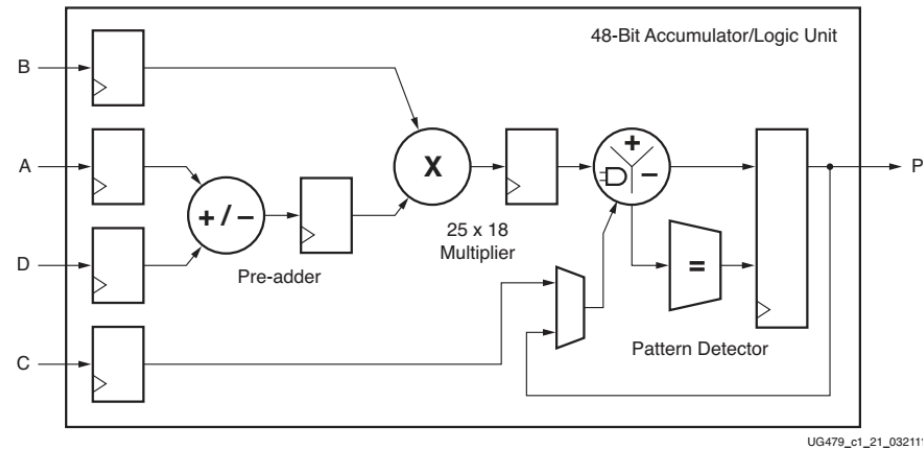
FIFO (First-In, First-Out)

- Πλήρης υποστήριξη
 - Σύγχρονα ή ασύγχρονα ρολόγια ανάγνωσης και εγγραφής
 - Τέσσερα flags
 - Full, empty, programmable almost-full/empty
 - Προαιρετικά First-Word-Fall-Through (FWFT)
- FIFO configurations
 - Οποιαδήποτε από 36-Kb block RAM: 8Kx4, 4Kx9, 2Kx18, 1Kx36, 512x72
 - Οποιαδήποτε από 18-Kb block RAM: 4Kx4, 2Kx9, 1Kx18, 512x36
 - Το εύρος εγγραφής και ανάγνωσης πρέπει να είναι το ίδιο
 - Write and read width must be equal
- Μπορεί να χρησιμοποιηθεί το ενσωματωμένο error correction όταν χρησιμοποιείται το εύρος x72

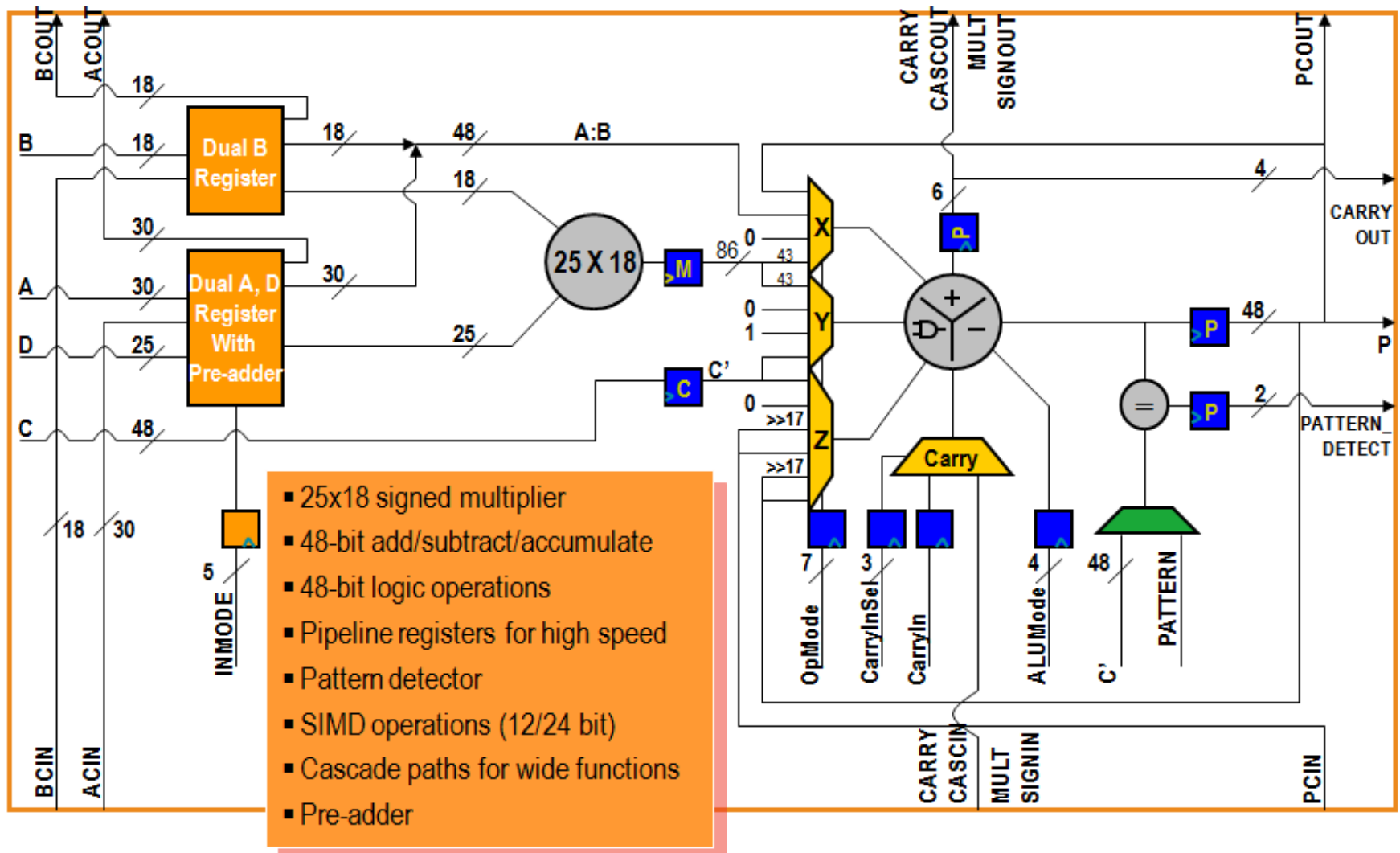


7-Series DSP48E1 Slice

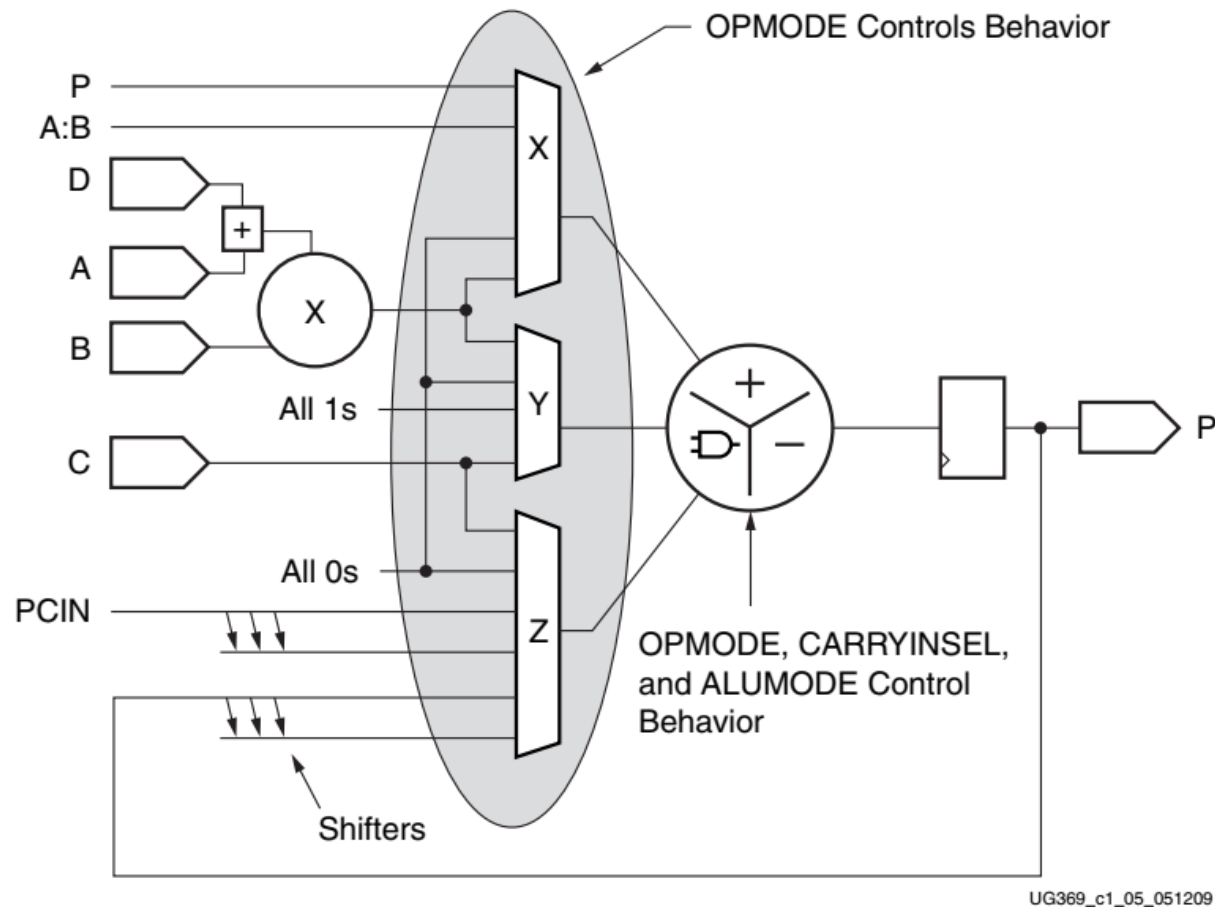
- **Basic DSP48E1 slice functionality**
- 25×18 two's-complement multiplier
- 48-bit accumulator:
 - Can be used as a synchronous up/down counter
- Power saving pre-adder:
 - Optimizes symmetrical filter applications and reduces DSP slice requirements
- Single-instruction-multiple-data (SIMD) arithmetic unit:
 - Dual 24-bit or quad 12-bit add/subtract/accumulate
- Optional logic unit:
 - Can generate any one of ten different logic functions of the two operands
- Pattern detector:
 - Convergent or symmetric rounding
 - 96-bit-wide logic functions when used in conjunction with the logic unit
- Advanced features:
 - Optional pipelining and dedicated buses for cascading



7-Series DSP48E1 Slice



Simplified DSP48E1 Slice Operation

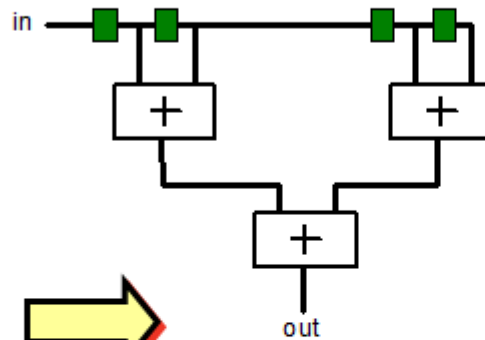


Χρήση του DSP48 για άλλες λειτουργίες

START: This is the typical adder tree found in many signal processing designs

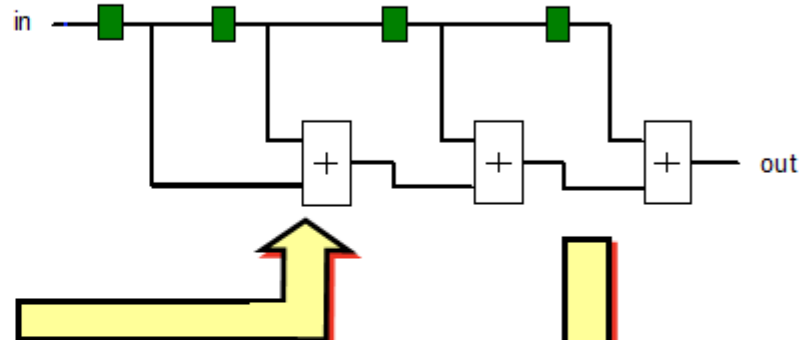
1

Remove all pipelining from the tree. This makes it easier to understand and visualize the changes



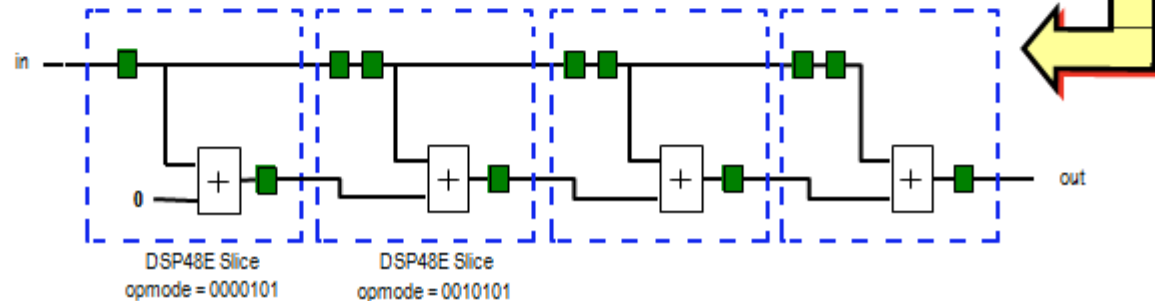
2

Rearrange the tree. Notice that functionally has not changed. The diagram has just been redrawn



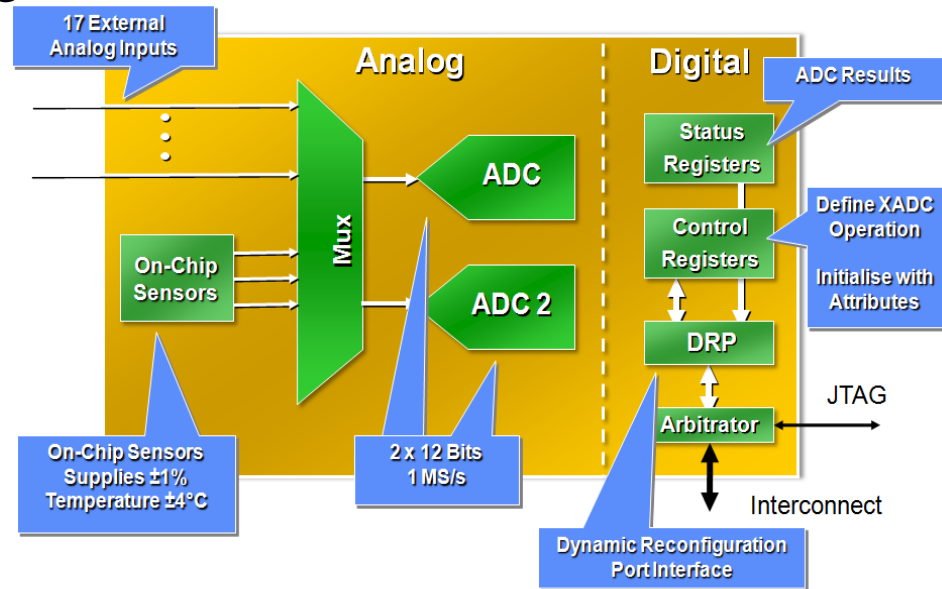
3

Pipelining is required for performance. Adding one in the chain requires one in the data path delay as well. Determining mapping to DSP48E is easy now



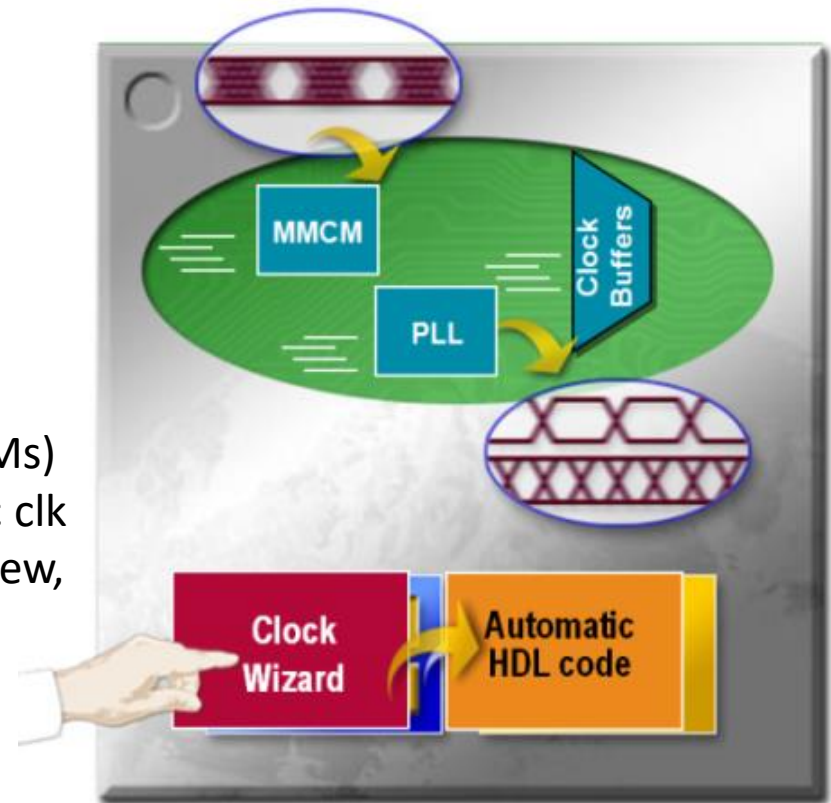
XADC και AMS

- Το Xilinx Analog-to-Digital Converter (XADC) είναι ένα νέο, ευέλικτο, υψηλής ποιότητας αναλογικό interface
 - Διπλοί 1bit 1MSps ADCs, on-chip sensors, 17 ευέλικτες αναλογικές εισοδοι
 - 1V input range
 - 16-bit resolution conversion
 - Ενσωματωμένο digital gain και offset calibration
- Analog Mixed Signal (AMS)
 - Χρήση της προγραμματιζόμενης λογικής του FPGA για την εξειδίκευση του XADC και αντικατάσταση άλλων εξωτερικών αναλογικών λειτουργιών



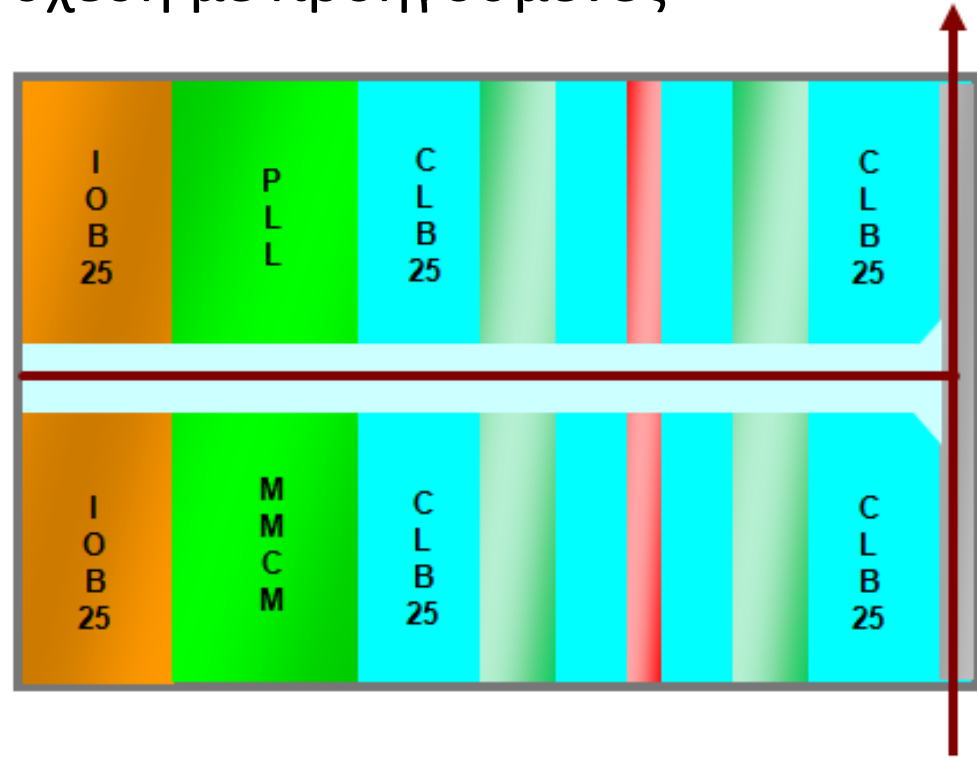
7-Series FPGAs Clock Management

- Global clock buffers
 - Clock distribution buffer υψηλού fanout
- Low-skew clock distribution
 - Regional clock routing
- Clock regions
 - Κάθε clock region έχει ύψος 50 CLBs και διατρέχει το μισό device
- Clock management tile (CMT)
 - Ένα Mixed-Mode Clock Managers (MMCMs) και ένα Phase Locked Loop (PLL) για κάθε clk
 - Υλοποιεί frequency synthesis, clock de-skew, και jitter-filtering
 - Μεγάλο εύρος συχνότητας εισόδου
- Απλή σχεδίαση μέσω Clocking Wizard



7-Series FPGA Clock Regions

- Μεγαλύτερα clock region σε σχέση με προηγούμενες οικογένειες
 - 50 CLBs high, 50 I/Os high
 - Ίδιο μέγεθος με την I/O bank
 - Το μισό εύρος του device
 - 2–24 regions ανά device
- Πόροι για κάθε clock region
 - 12 global clock networks
 - Driven by BUFH
 - 4 regional clock networks
 - Driven by BUFR
 - 4 I/O clock networks
 - Driven by BUFIO



Zynq-7000 Family Highlights (NewSpace + Cubesats)

- Πλήρες ARM®-based processing system

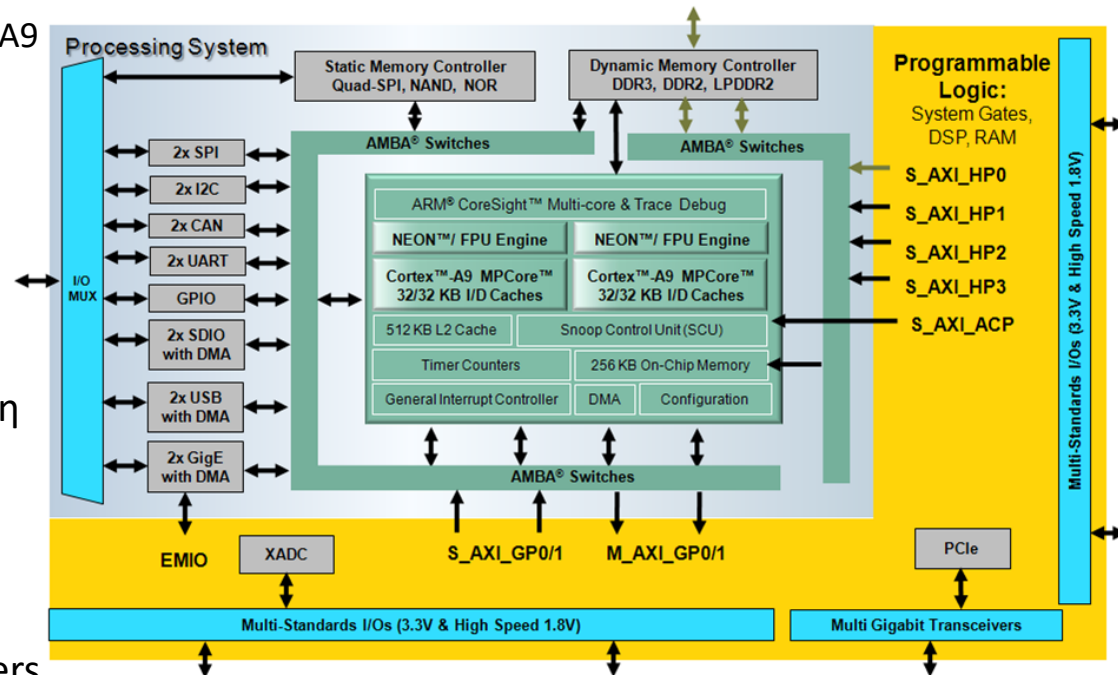
- Application Processor Unit (APU)
 - Επεξεργαστές Dual ARM Cortex™-A9
 - Caches και μονάδες υποστήριξης
- Ελεγκτές μνήμης
- Περιφερειακά I/O

- Προγραμματιζόμενη λογική

- Επεκτείνει το processing system
- Κλιμακούμενη πυκνότητα/απόδοση

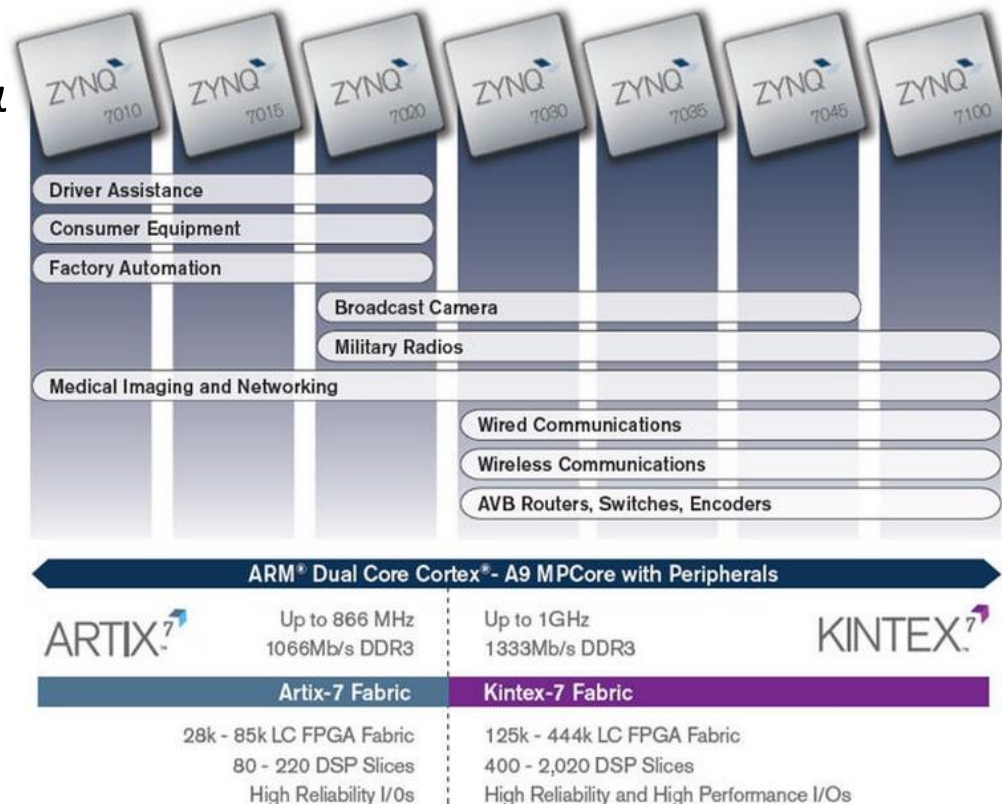
- Ευέλικτο array από I/O

- Μεγάλο εύρος εξωτερικών multi-standard I/O
- Υψηλής απόδοσης serial transceivers
- Είσοδοι ADC



Το PS και το PL ενός Zynq-7000 AP SoC

- Η αρχιτεκτονική Zynq-7000 AP SoC αποτελείται από δύο βασικά τμήματα
 - PS: Processing system
 - Dual ARM Cortex-A9 processor based
 - Multiple peripherals
 - Hard silicon core
 - PL: Programmable logic
 - Παρόμοια με τα 7-series
 - Artix™-based devices:
Z-7010, Z-7015 και Z-7020
 - Kintex™-based devices:
Z-7030, Z-7035, Z-7045 και Z-7100



Zynq-7000 SoC Family

		Cost-Optimized Devices						Mid-Range Devices				
Device Name		Z-7007S	Z-7012S	Z-7014S	Z-7010	Z-7015	Z-7020	Z-7030	Z-7035	Z-7045	Z-7100	
Part Number		XC7Z007S	XC7Z012S	XC7Z014S	XC7Z010	XC7Z015	XC7Z020	XC7Z030	XC7Z035	XC7Z045	XC7Z100	
Processing System (PS)	Processor Core	Single-Core ARM® Cortex™-A9 MPCore™ Up to 766MHz			Dual-Core ARM Cortex-A9 MPCore Up to 866MHz			Dual-Core ARM Cortex-A9 MPCore Up to 1GHz ⁽¹⁾				
	Processor Extensions	NEON™ SIMD Engine and Single/Double Precision Floating Point Unit per processor										
	L1 Cache	32KB Instruction, 32KB Data per processor										
	L2 Cache	512KB										
	On-Chip Memory	256KB										
	External Memory Support ⁽²⁾	DDR3, DDR3L, DDR2, LPDDR2										
	External Static Memory Support ⁽²⁾	2x Quad-SPI, NAND, NOR										
	DMA Channels	8 (4 dedicated to PL)										
	Peripherals	2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO										
	Peripherals w/ built-in DMA ⁽²⁾	2x USB 2.0 (OTG), 2x Tri-mode Gigabit Ethernet, 2x SD/SDIO										
Security ⁽³⁾		RSA Authentication of First Stage Boot Loader, AES and SHA 256b Decryption and Authentication for Secure Boot										
Processing System to Programmable Logic Interface Ports (Primary Interfaces & Interrupts Only)		2x AXI 32b Master, 2x AXI 32b Slave 4x AXI 64b/32b Memory AXI 64b ACP 16 Interrupts										
Programmable Logic (PL)	7 Series PL Equivalent		Artix®-7	Artix-7	Artix-7	Artix-7	Artix-7	Artix-7	Kintex®-7	Kintex-7	Kintex-7	Kintex-7
	Logic Cells		23K	55K	65K	28K	74K	85K	125K	275K	350K	444K
	Look-Up Tables (LUTs)		14,400	34,400	40,600	17,600	46,200	53,200	78,600	171,900	218,600	277,400
	Flip-Flops		28,800	68,800	81,200	35,200	92,400	106,400	157,200	343,800	437,200	554,800
	Total Block RAM		1.8Mb	2.5Mb	3.8Mb	2.1Mb	3.3Mb	4.9Mb	9.3Mb	17.6Mb	19.2Mb	26.5Mb
	(# 36Kb Blocks)		(50)	(72)	(107)	(60)	(95)	(140)	(265)	(500)	(545)	(755)
	DSP Slices		66	120	170	80	160	220	400	900	900	2,020
	PCI Express®		—	Gen2 x4	—	—	Gen2 x4	—	Gen2 x4	Gen2 x8	Gen2 x8	Gen2 x8
	Analog Mixed Signal (AMS) / XADC ⁽²⁾		2x 12 bit, MSPS ADCs with up to 17 Differential Inputs									
	Security ⁽³⁾		AES & SHA 256b Decryption & Authentication for Secure Programmable Logic Config									
Speed Grades	Commercial	-1			-1			-1			-1	
	Extended	-2			-2,-3			-2,-3			-2	
	Industrial	-1, -2			-1, -2, -1L			-1, -2, -2L			-1, -2, -2L	

Kintex Ultrascale Family

Space-Grade (Rad Tolerant)

Space-grade

	Artix UltraScale+ FPGA	Kintex UltraScale FPGA	Kintex UltraScale+ FPGA	Virtex UltraScale FPGA	Virtex UltraScale+ FPGA	Zynq UltraScale+ MPSoC	Zynq UltraScale+ RFSoc
MPSoC Processing System						✓	✓
RF-ADC/DAC							✓
SD-FEC							✓
System Logic Cells (K)	96–308	318–1,451	356–1,843	783–5,541	862–8,938	81–1,143	489–930
Block Memory (Mb)	3.5–10.5	12.7–75.9	12.7–60.8	44.3–132.9	23.6–94.5	3.8–34.6	22.8–38.0
UltraRAM (Mb)			0–81		90–360	0–36	13.5–45.0
HBM DRAM (GB)					0–16		
DSP (Slices)	400–1,200	768–5,520	1,368–3,528	600–2,880	1,320–12,288	216–3,528	1,872–4,272
DSP Performance (GMAC/s)	1,860	8,180	6,287	4,268	21,897	6,287	7,613
Transceivers	8–12	12–64	16–76	36–120	32–128	0–72	8–16
Max. Transceiver Speed (Gb/s)	16.3	16.3	32.75	30.5	58.0	32.75	32.75
Max. Serial BW (bidir) (Gb/s)	393	2,086	3,268	5,616	8,384	3,268	1,048
Memory Interface Perf (Mb/s)	2,400	2,400	2,666	2,400	2,666	2,666	2,666
I/O Pins	128–304	312–832	280–668	338–1,456	208–2,072	82–668	152–408



Kintex Ultrascale Family

Space-Grade (Rad Tolerant)

Lab Space-grade

	KU025⁽¹⁾	KU035	KU040	KU060	KU085	KU095	KU115
System Logic Cells	318,150	444,343	530,250	725,550	1,088,325	1,176,000	1,451,100
CLB Flip-Flops	290,880	406,256	484,800	663,360	995,040	1,075,200	1,326,720
CLB LUTs	145,440	203,128	242,400	331,680	497,520	537,600	663,360
Maximum Distributed RAM (Mb)	4.1	5.9	7.0	9.1	13.4	4.7	18.3
Block RAM Blocks	360	540	600	1,080	1,620	1,680	2,160
Block RAM (Mb)	12.7	19.0	21.1	38.0	56.9	59.1	75.9
CMTs (1 MMCM, 2 PLLs)	6	10	10	12	22	16	24
I/O DLLs	24	40	40	48	56	64	64
Maximum HP I/Os ⁽²⁾	208	416	416	520	572	650	676
Maximum HR I/Os ⁽³⁾	104	104	104	104	104	52	156
DSP Slices	1,152	1,700	1,920	2,760	4,100	768	5,520
System Monitor	1	1	1	1	2	1	2
PCIe Gen3 x8	1	2	3	3	4	4	6
150G Interlaken	0	0	0	0	0	2	0
100G Ethernet	0	0	0	0	0	2	0
GTH 16.3Gb/s Transceivers ⁽⁴⁾	12	16	20	32	56	32	64
GTY 16.3Gb/s Transceivers ⁽⁵⁾	0	0	0	0	0	32	0
Transceiver Fractional PLLs	0	0	0	0	0	16	0

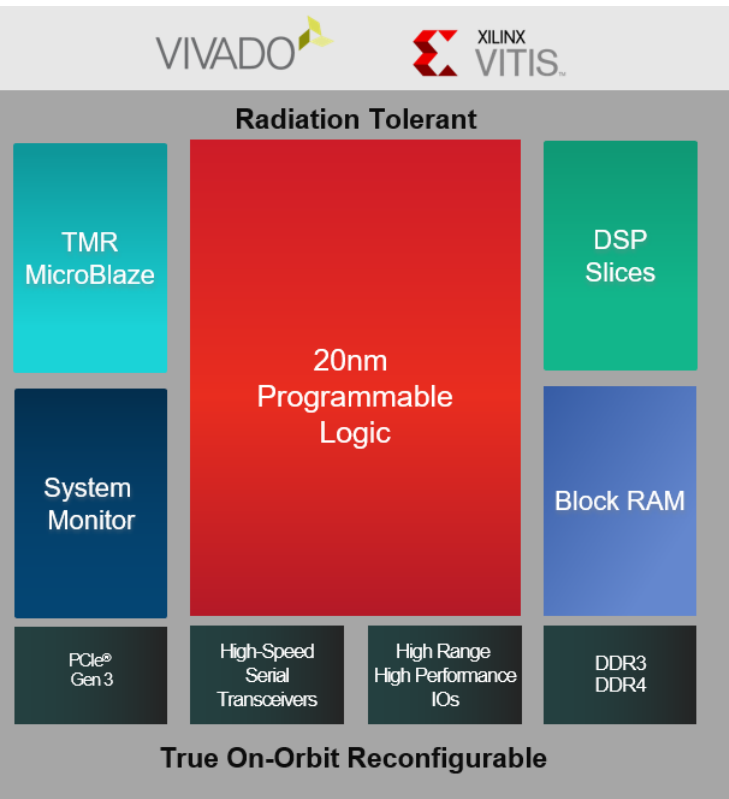
Radiation Tolerant Kintex Ultrascale XQRKU060 FPGA



Radiation Tolerant Kintex UltraScale XQRKU060 FPGA Data Sheet

DS882 (v1.2) December 17, 2020

Product Specification



General Description

The radiation tolerant (RT) XQR UltraScale™ architecture-based devices extend the benefit of commercial silicon with unique ceramic column grid array package, tested to stringent qualification flows like Xilinx® class B, class Y test flows (QML compliant), full M-grade operating temperature range support, and radiation tested for single-event effects.

XQR Kintex® UltraScale FPGAs are high-performance monolithic FPGAs with a focus on performance. High DSP and block RAM-to-logic ratios and next-generation transceivers combined with space-grade packaging to handle vibration and handling requirements during launch and operation enable a new generation of high-density FPGAs for on-orbit reconfiguration, targeted for applications like on-board processing, digital payloads, remote sensing, and many more. The [Xilinx Space Secure Site](#) provides access to design guidelines and resources specific to space applications.

This data sheet is part of an overall set of documentation on the UltraScale architecture-based devices available on the Xilinx website at www.xilinx.com/documentation.

Summary of Radiation Characteristics for Kintex UltraScale XQRKU060 Devices

This product is intended for use in space environments and offered in Xilinx class Y, class B manufacturing and process flows. Xilinx 20 nm UltraScale device technology is developed with innovative configuration memory and block RAM design for single-event upset (SEU) mitigation, with optimized SEU design rules and strategic implementation of SEU enhanced cells. The Kintex UltraScale XQRKU060 device uses more than 40 proprietary, patented circuit design and layout techniques to reduce the SEU cross-section. Block RAM includes embedded error detection and correction (EDAC) for high-performance SEU mitigation.

Table 1: Radiation Characteristics

Symbol	Description	Min	Typ	Max	Units
TID	Total Ionizing Dose (GEO)	-	100	120	Krad (Si)
SEL	Single-Event Latch-Up Immunity ⁽¹⁾	-	80	-	MeV-cm ² /mg
SEU _{CRAM}	Single-Event Upset in Configuration RAM (GEO) ⁽²⁾⁽³⁾	-	9.5e-9	-	Upset/bit/day
SEU _{BRAM}	Single-Event Upset in Block RAM (GEO) ⁽²⁾⁽³⁾	-	2.3e-8	-	Upset/bit/day
SEFI _{CRAM}	Single-Event Functional Interrupt Orbital Upset Frequency - Configuration RAM (GEO) ⁽²⁾⁽³⁾	-	4.5e-4	-	Upsets/device/day

Xilinx Space-Grade FPGAs

	Virtex-4QV XQRV4QV	Virtex-5QV XQRV5QV	RT Kintex UltraScale XQRKU060
Radiation Hardness	Tolerant	Hard	Tolerant
Process (nm)	90	65	20
Memory (Mb)	4.1 to 9.9	12.3	38
System Logic Cells (K)	55 to 200	131	726
CLB Flip-Flops (K)	49.1 to 178.1	81.9	663
CLB LUTs (K)	49.1 to 178.1	81.9	331
Transceivers	None	18 at 3.125Gb/s	32 at 12.5Gb/s
User I/O	640 to 960	836	620
DSP Slices	32 to 192	320	2,760

In comparison with previous generation 65nm FPGAs, the XQRKU060 has a reduced power budget of 70%, while delivering a 12X increase in transceiver capability and 5X increase in logic cells. This decrease in dynamic and static power dissipation is achieved by applying power reduction strategies at every level.

Βιβλιογραφία από την Xilinx

- 7 Series FPGAs Product Brief
 - http://www.xilinx.com/publications/prod_mktg/7-Series-Product-Brief.pdf
- 7 Series FPGAs Overview (DS180)
 - http://www.xilinx.com/support/documentation/data_sheets/ds180_7Series_Overview.pdf
- 7 Series FPGAs Configurable Logic Block (UG474)
 - http://www.xilinx.com/support/documentation/user_guides/ug474_7Series_CLB.pdf
- 7 Series FPGAs Memory Resources User Guide (UG473)
 - http://www.xilinx.com/support/documentation/user_guides/ug473_7Series_Memory_Resources.pdf
- Zynq-7000 AP SoC Product Brief
 - <http://www.xilinx.com/support/documentation/product-briefs/zynq-7000-product-brief.pdf>
- Zynq-7000 All Programmable SoC Overview (DS190)
 - http://www.xilinx.com/support/documentation/data_sheets/ds190-Zynq-7000-Overview.pdf
- Radiation Tolerant Kintex UltraScale XQRKU060 FPGA Data Sheet (DS882)