

Εργαστήριο Space Data Systems

**4ο Εργαστηριακό Μάθημα
1^η Άσκηση (Εργαστήριο Αναγνωστήριου)**

Βασιλόπουλος Διονύσης
Ε.ΔΙ.Π. Τμήματος Πληροφορικής & Τηλεπικοινωνιών - ΕΚΠΑ

VHDL – Παράδειγμα

Άσκηση

Σχεδιάστε μία αριθμητική και λογική μονάδα (ALU). Στην είσοδο δέχεται ένα σήμα a των 3 bit, καθώς και ένα σήμα $Ctrl$ ενός bit. Η ALU για τιμή $Ctrl = '0'$ κάνει διαίρεση ($a/2$: ακέραιο μέρος της διαίρεσης) ενώ για τιμή $Ctrl = '1'$ κάνει διπλασιασμό του a ($a*2$). Στην έξοδο υπάρχει το σήμα $Result$ των 3 bit με το αποτέλεσμα της πράξης και ένα σήμα $Carry$ που έχει τιμή '1' σε περίπτωση που υπάρχει κρατούμενο ($Carry$). Σχεδιάστε το κύκλωμα. Σας δίδεται ο ορισμός της οντότητας:

```
entity ALU is
Port (
  a      : in STD_LOGIC_VECTOR (2 downto 0);
  Ctrl   : in STD_LOGIC;
  Result : out STD_LOGIC_VECTOR (2 downto 0);
  Carry  : out STD_LOGIC      );
end entity ALU;
```