

Εργαστήριο Space Data Systems

**7ο Εργαστηριακό Μάθημα
2η Άσκηση (Εργαστήριο Αναγνωστήριου)**

Βασιλόπουλος Διονύσης
Ε.ΔΙ.Π. Τμήματος Πληροφορικής & Τηλεπικοινωνιών - ΕΚΠΑ

VHDL – Παράδειγμα

Άσκηση

Σχεδιάστε μία αριθμητική και λογική μονάδα (ALU). Στην είσοδο δέχεται 2 σήματα **μη προσημασμένων** αριθμών a και b , των 3 bit το καθένα, καθώς και ένα σήμα Ctr ενός bit. Η ALU για τιμή $Ctr = '0'$ κάνει πρόσθεση ($a+b$) ενώ για τιμή $Ctr = '1'$ κάνει διπλασιασμό του a ($a*2$). Στην έξοδο υπάρχει το σήμα $Result$ των 3 bit με το αποτέλεσμα της πράξης και ένα σήμα $Carry$ που έχει τιμή '1' σε περίπτωση που υπάρχει κρατούμενο/υπερχείλιση. Αναπτύξτε το αντίστοιχο κύκλωμα με VHDL και προγραμματίστε την FPGA κάρτα. Σας δίδεται ο ορισμός της οντότητας:

entity ALU is

Port (

a : in STD_LOGIC_VECTOR (2 downto 0);

b : in STD_LOGIC_VECTOR (2 downto 0);

Ctr : in STD_LOGIC;

Result : out STD_LOGIC_VECTOR (2 downto 0);

Carry : out STD_LOGIC);

end entity ALU;

Τι πόρους χρησιμοποιεί το κύκλωμα στο implementation. Ποια η καθυστέρηση διάδοσης και ποια η καθυστέρηση μόλυνσης του συνδυαστικού σας κυκλώματος.