

ΕΘΝΙΚΟ ΚΑΙ ΚΑΠΟΔΙΣΤΡΙΑΚΟ ΠΑΝΕΠΙΣΤΗΜΙΟ ΑΘΗΝΩΝ
ΤΜΗΜΑ ΠΛΗΡΟΦΟΡΙΚΗΣ ΚΑΙ ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ



ΕΡΓΑΣΤΗΡΙΟ

SPACE DATA SYSTEMS

11^ο Εργαστηριακό Μάθημα
4^ο Εργαστήριο

Βασιλόπουλος Διονύσης
ΕΔΙΠ Τμήματος Πληροφορικής & Τηλεπικοινωνιών
ΕΚΠΑ

ΕΑΡΙΝΟ ΕΞΑΜΗΝΟ
2024-2025

Άσκηση: Μετρητής

Στην άσκηση αυτή, θα δημιουργήσουμε ένα χρονόμετρο. Κάθε δευτερόλεπτο η τιμή του χρονομέτρου θα αυξάνεται ή θα μειώνεται ανάλογα με την τιμή του διακόπτη SW0. Αν SW0='1' τότε η ακολουθία θα είναι αύξουσα ενώ εάν SW0='0' τότε η χρονομέτρηση θα είναι φθίνουσα. Το αποτέλεσμα θα φαίνεται στα led (LD0-LD6) στο δυαδικό σύστημα αλλά και στο rmod. Αν η τιμή είναι στο 99 η επόμενη ανοδική είναι η 0 και αντίστροφα αν η τιμή είναι 0 τότε η επόμενη καθοδική είναι το 99. Με το διακόπτη SW7 θα μπορούμε να έχουμε RESET ('1') ασύγχρονο.

Χρησιμοποιήστε τον ορισμό της οντότητας που θα βρείτε στο eclass, ενώ μπορείτε/πρέπει να χρησιμοποιήσετε και τα αντίστοιχα αρχεία από το 3ο εργαστήριο.

Προσοχή ότι θα πρέπει να ανάβουν και τα 2 ψηφία του Pmod (ένα μπορεί να είναι αναμμένο κάθε χρονική στιγμή). Πρώτα εμφανίστε το αποτέλεσμα στα Led και κατόπιν στο Pmod. Επίσης τις διαφάνειες του μαθήματος για την VHDL.

Ως γενική κατεύθυνση μπορείτε να ακολουθήσετε αν θέλετε τα ακόλουθα:

- 1.Θα πρέπει να κρατάτε με κάποιο τρόπο τους «χτύπους» του ρολογιού. Επειδή η κάρτα δουλεύει στα 100Mhz, όταν οι «χτύποι» γίνουν 100εκ. θα έχει περάσει ένα δευτερόλεπτο και το χρονόμετρο θα αυξάνεται ή θα μειώνεται κατά 1. Άρα θέλετε να φτιάξετε ένα νέο ρολόι με περίοδο 1sec.
- 2.Θα πρέπει να βρείτε τις δεκάδες και τις μονάδες του χρονομέτρου και θα τις κρατάτε σε δύο διαφορετικά σήματα (left_digit και right_digit).
- 3.Ανά 500K «χτύπους» ρολογιού θα εμφανίζεται το left_digit στο αριστερό ψηφίο και μετά από άλλους 500K «χτύπους» το right_digit στο δεξί ψηφίο του rmod. Θα πρέπει να αλλάζετε την τιμή digit_selection_out ανάλογα σε 0 και 1. Έτσι το μάτι δεν θα καταλαβαίνει την εναλλαγή (σβηστό/αναμμένο) σε κάθε digit και θα βλέπει και τα δύο αναμμένα.

Στο eclass θα σας δοθεί ένα template πηγαίου κώδικα με την περιγραφή του entity to αντίστοιχο testbench σε VHDL, καθώς και το αρχείο με τα pin constraints για το clock.

- Συμπληρώστε το architecture του entity
- Ελέγξτε τη λειτουργία του κυκλώματος τόσο στη προσομοίωση όσο και στο υλικό προγραμματίζοντας το FPGA
- Βρείτε την πιο αργή διαδρομή και την ταχύτητα λειτουργίας του κυκλώματός σας.
- Βρείτε τη διαδρομή που μπορεί να σας προκαλέσει πρόβλημα με βάση το χρόνο μόλυνσης και καταγράψτε το περιθώριο που έχετε.
- Συμπληρώστε τον παρακάτω πίνακα κοιτάζοντας το report μετά το implementation:

FF:	
LUT:	
I/O	