

Εργαστήριο Space Data Systems

5^ο Εργαστηριακό Μάθημα

Βασιλόπουλος Διονύσης

Ε.ΔΙ.Π. Τμήματος Πληροφορικής & Τηλεπικοινωνιών - ΕΚΠΑ

5^η Εργαστηριακή Άσκηση

Counter with Load

Θα προσαρμόσετε το πρόγραμμα που φτιάξατε στο προηγούμενο (4^ο) εργαστήριο ώστε να μπορείτε να κάνετε φόρτωση (load) στο μετρητή των δευτερολέπτων μια συγκεκριμένη τιμή (load_data).

Θα προσαρμόσετε την οντότητα αλλά και το αρχείο των constraints σύμφωνα με την εκφώνηση που σας έχει δοθεί στο eclass.

5^η Εργαστηριακή Άσκηση

Προσαρμογή Οντότητας

Προσαρμογή Constraints

Προσαρμογή Αρχιτεκτονικής

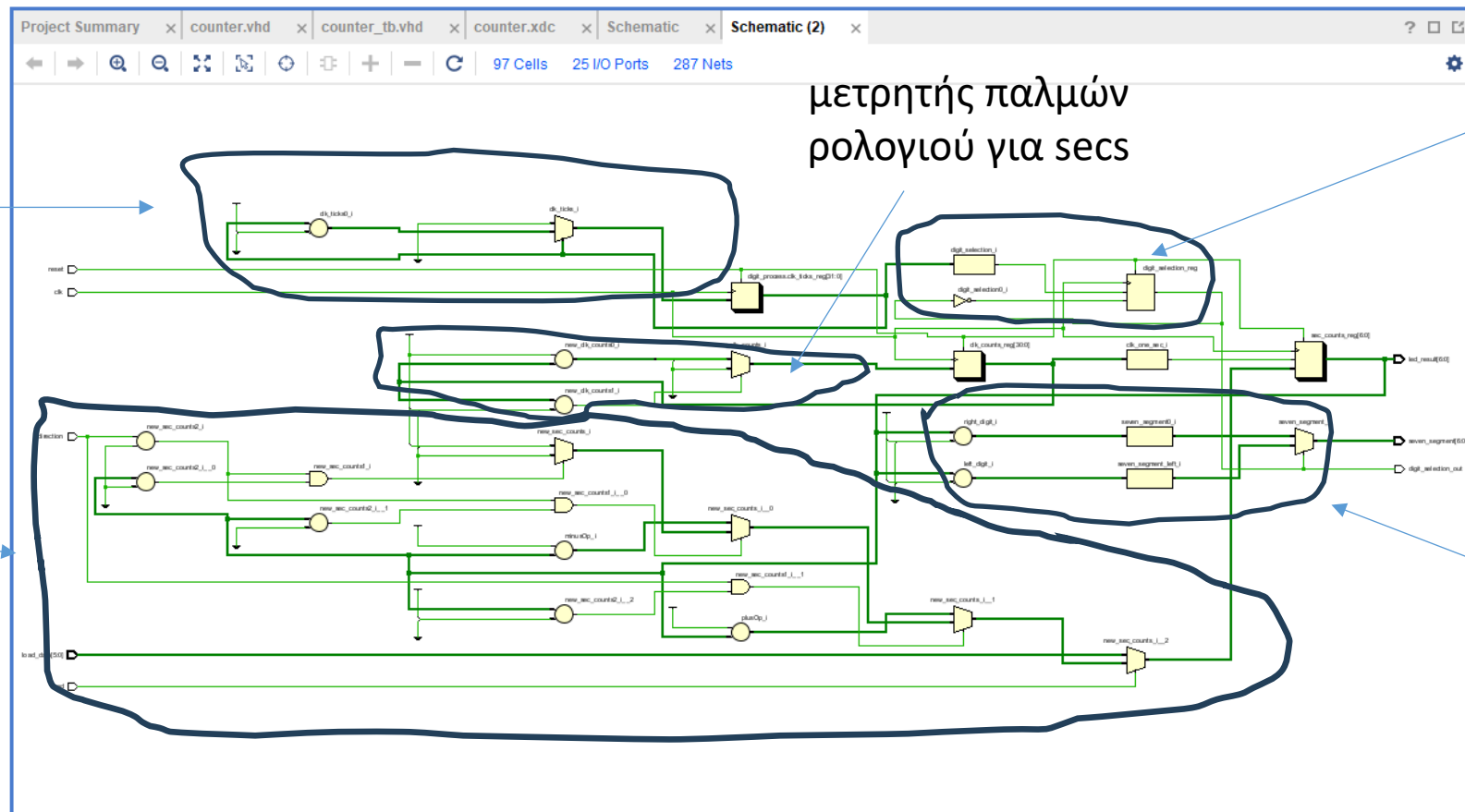
5^η Εργαστηριακή Άσκηση

ΠΡΟΧΩΡΗΣΤΕ ΣΤΗΝ ΑΣΚΗΣΗ



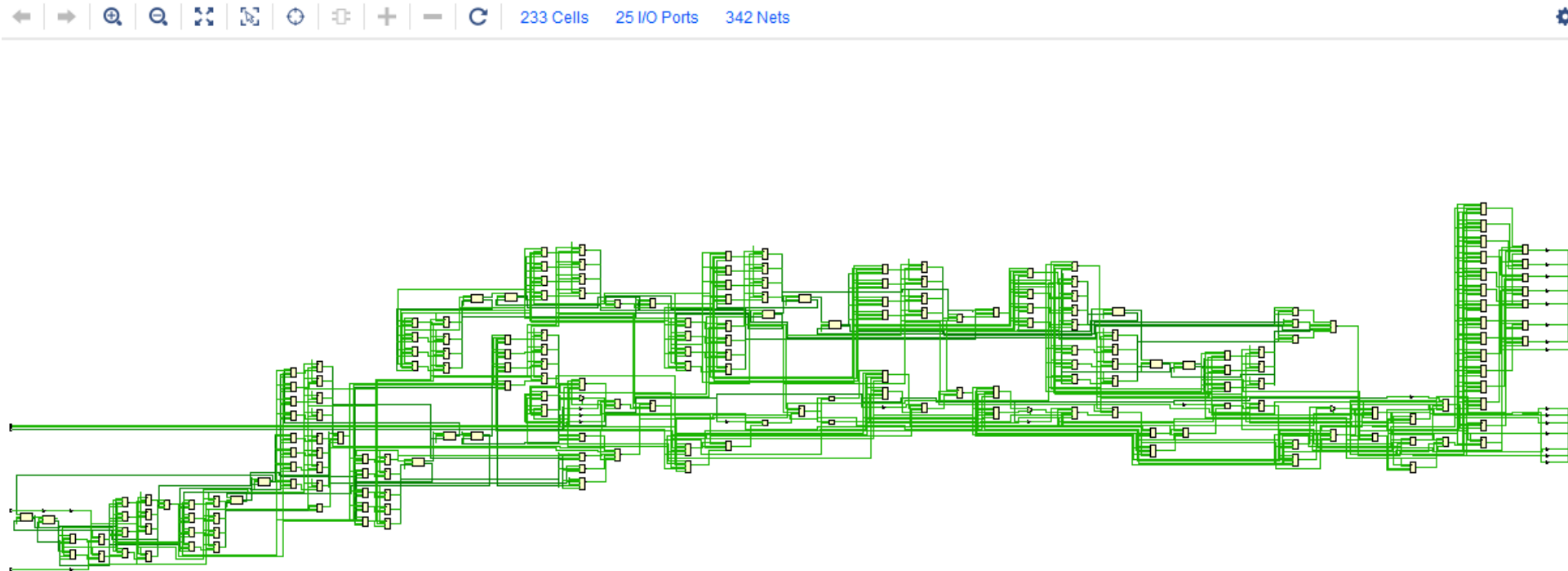
5^η Εργαστηριακή Άσκηση

RTL Schematic



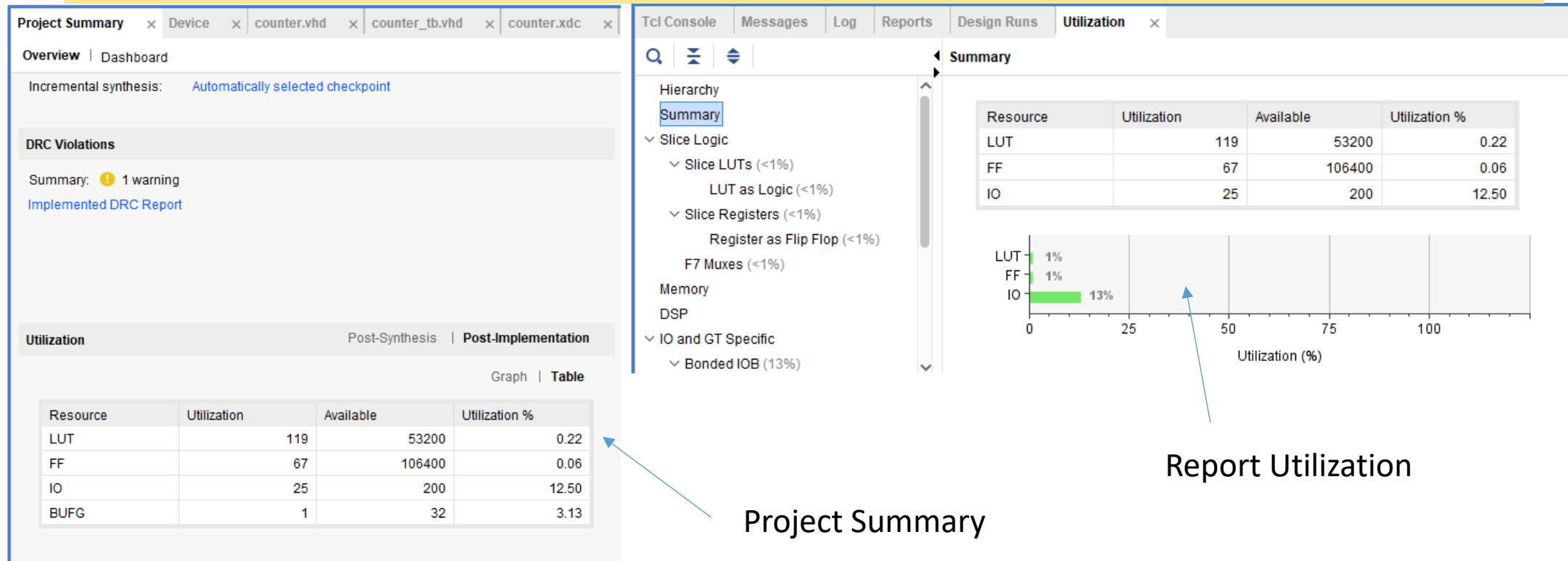
5^η Εργαστηριακή Άσκηση

Synthesis/Implemented Design



5^η Εργαστηριακή Άσκηση

Implementation: Utilization



5^η Εργαστηριακή Άσκηση

Implementation: Time (1/2)

Γράφετε

`report_timing_summary -datasheet`

στο **TCL Console** και βρίσκεται την πληροφορία στο παραγόμενο report

Πληροφορίες σχετικές με το εύρος του παλμού του CLK

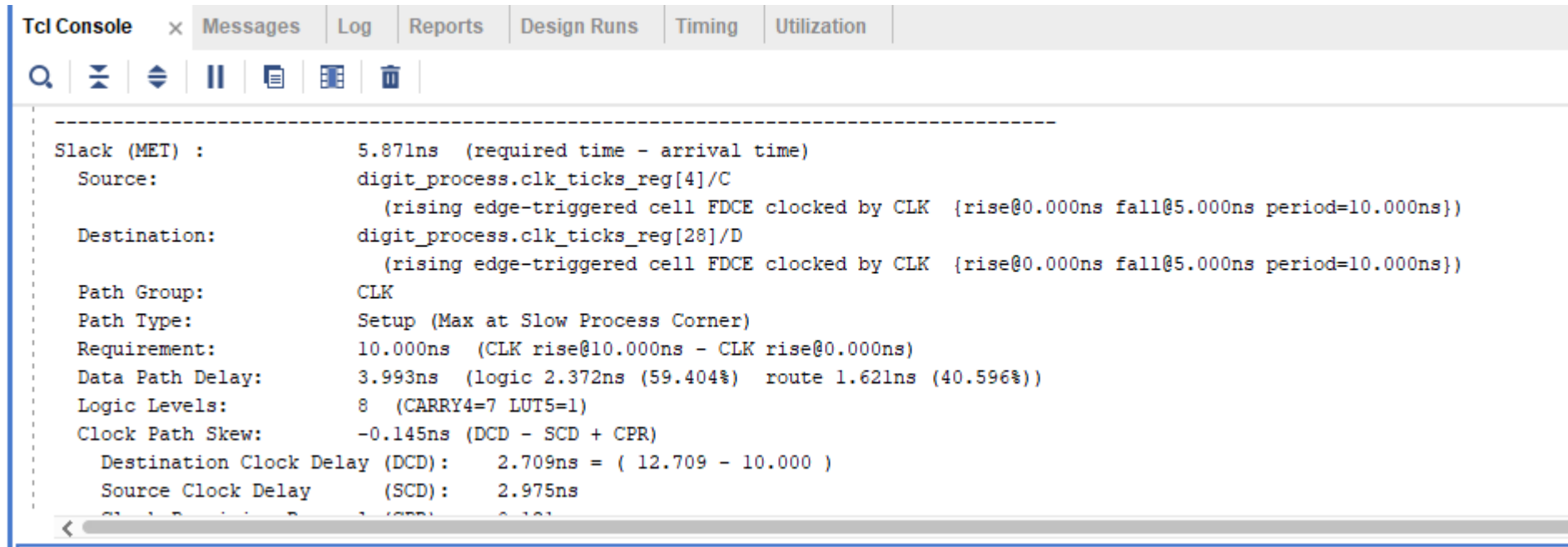
```
Pulse Width Checks
-----
Clock Name:      CLK
Waveform(ns):    { 0.000 2.500 }
Period(ns):      5.000
Sources:         { clk }

Check Type      Corner  Lib Pin  Reference Pin  Required(ns)  Actual(ns)  Slack(ns)  Location  Pin
Min Period      n/a    BUFG/I   n/a            2.155         5.000       2.845     clk_IBUF_BUFG_inst/I
Low Pulse Width  Slow   FDCE/C   n/a            0.500         2.500       2.000     clk_counts_reg[0]/C
High Pulse Width Slow   FDCE/C   n/a            0.500         2.500       2.000     clk_counts_reg[0]/C
```

Type a Tcl command here

5^η Εργαστηριακή Άσκηση

Implementation: Time (2/2)



```
Tcl Console x Messages Log Reports Design Runs Timing Utilization
[Icons: Search, Zoom In, Zoom Out, Run, Copy, Paste, Delete]

-----
Slack (MET) :          5.871ns  (required time - arrival time)
Source:          digit_process.clk_ticks_reg[4]/C
                  (rising edge-triggered cell FDCE clocked by CLK  {rise@0.000ns fall@5.000ns period=10.000ns})
Destination:     digit_process.clk_ticks_reg[28]/D
                  (rising edge-triggered cell FDCE clocked by CLK  {rise@0.000ns fall@5.000ns period=10.000ns})
Path Group:      CLK
Path Type:       Setup (Max at Slow Process Corner)
Requirement:     10.000ns  (CLK rise@10.000ns - CLK rise@0.000ns)
Data Path Delay:  3.993ns  (logic 2.372ns (59.404%)  route 1.621ns (40.596%))
Logic Levels:    8  (CARRY4=7 LUT5=1)
Clock Path Skew: -0.145ns (DCD - SCD + CPR)
  Destination Clock Delay (DCD):  2.709ns = ( 12.709 - 10.000 )
  Source Clock Delay (SCD):  2.975ns
  Clock Path Skew (CPR):  -0.145ns
```

5^η Εργαστηριακή Άσκηση

Implementation: Εύρεση μέγιστης ταχύτητας λειτουργίας του κυκλώματος (1/3)

The screenshot shows the Vivado 2022.2 IDE. The 'Edit Timing Constraints' dialog is open, showing a table with one constraint: 'create_clock -period 10.000 -name CLK -waveform {0.000 5.000} [get_ports clk]'. The 'Timing Summary' report is also visible, showing the following data:

Setup	Hold	Pulse Width
Worst Negative Slack (WNS): 5.871 ns	Worst Hold Slack (WHS): 0.225 ns	Worst Pulse Width Slack (WPWS): 4.500 ns
Total Negative Slack (TNS): 0.000 ns	Total Hold Slack (THS): 0.000 ns	Total Pulse Width Negative Slack (TPWS): 0.000 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 74	Total Number of Endpoints: 74	Total Number of Endpoints: 68

Αρχικά από το **Open Implemented Design** τρέχουμε το **Report Timing Summary**. Αφού εμφανιστούν τα αποτελέσματα του report και δούμε τα slack πάμε στο **Edit Timing Constraints->** Αλλάζουμε την περίοδο του clock από 10 ns σε 5ns και πατάμε **Apply**

5^η Εργαστηριακή Άσκηση

Implementation: Εύρεση μέγιστης ταχύτητας λειτουργίας του κυκλώματος (1/3)

The screenshot displays the Xilinx Vivado IDE interface. The left sidebar shows the project hierarchy with 'SYNTHESIS' selected. The main workspace is divided into several panes. The 'Timing Constraints' pane is active, showing a table with one clock constraint: 'CLK' with a period of 5,000 ns. Below this, the 'All Constraints' pane shows the command 'create_clock -period 5.000 -name CLK -waveform {0.000 2.500} [get_ports clk]'. The bottom pane shows the 'Design Timing Summary' report, which includes a table of timing metrics.

Setup	Hold	Pulse Width
Worst Negative Slack (WNS): 5,871 ns	Worst Hold Slack (WHS): 0,225 ns	Worst Pulse Width Slack (WPWS): 4,500 ns
Total Negative Slack (TNS): 0,000 ns	Total Hold Slack (THS): 0,000 ns	Total Pulse Width Negative Slack (TPWS): 0,000 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 74	Total Number of Endpoints: 74	Total Number of Endpoints: 68

Below the table, it states: 'All user specified timing constraints are met.'

Κατόπιν στο timing report πατάμε **Rerun**, ώστε να υπολογιστούν εκ νέου οι χρόνοι

5^η Εργαστηριακή Άσκηση

Implementation: Εύρεση μέγιστης ταχύτητας λειτουργίας του κυκλώματος (3/3)

The screenshot displays the Xilinx Vivado IDE interface during the implementation phase. The 'Timing Constraints' window is open, showing a clock constraint for 'CLK' with a period of 5.000 ns. The 'Design Timing Summary' window is also open, showing the results of the timing analysis. The summary table indicates that the Worst Negative Slack (WNS) is 0.871 ns, the Worst Hold Slack (WHS) is 0.225 ns, and the Worst Pulse Width Slack (WPWS) is 2.000 ns. The Number of Failing Endpoints is 0 for all three metrics. The Total Number of Endpoints is 74 for WNS and THS, and 68 for TPWS. The status at the bottom says 'All user specified timing constraints are met.'

Metric	Value
Worst Negative Slack (WNS)	0.871 ns
Worst Hold Slack (WHS)	0.225 ns
Worst Pulse Width Slack (WPWS)	2.000 ns
Total Negative Slack (TNS)	0.000 ns
Total Hold Slack (THS)	0.000 ns
Total Pulse Width Negative Slack (TPWS)	0.000 ns
Number of Failing Endpoints (WNS)	0
Number of Failing Endpoints (WHS)	0
Number of Failing Endpoints (WPWS)	0
Total Number of Endpoints (WNS/THS)	74
Total Number of Endpoints (TPWS)	68

Επαναλαμβάνουμε τη διαδικασία όσες φορές χρειάζεται μέχρι το **WNS** να γίνει 0. Θυμίζω ότι τα WNS, WHS και WPWS θα πρέπει να είναι πάντα θετικά και τα Total Number of Failing Endpoints να είναι πάντα 0. Αλλιώς πρέπει να ανεβάσουμε τη συχνότητα του CLK.

Η ελάχιστη περίοδος του CLK μπορεί να βρεθεί και απευθείας σε συνάρτηση με το slack.

5^η Εργαστηριακή Άσκηση

Counter

Κοιτάμε την τελική λύση

Προχωράτε στη λύση όλης της άσκησης

ΚΑΛΟ ΔΙΑΒΑΣΜΑ και ΚΑΛΗ ΕΠΙΤΥΧΙΑ